

PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number

10/605,427

Filing Date

09/30/2003

First Named Inventor

En-Hsiang Yeh

Group Art Unit

Examiner Name

Total Number of Pages in This Submission

3

Attorney Docket Number

MTKP0065USA

## ENCLOSURES (check all that apply)



Fee Transmittal Form



Fee Attached



Amendment / Reply



After Final



Affidavits/declaration(s)



Extension of Time Request



Express Abandonment Request



Information Disclosure Statement



Certified Copy of Priority Document(s)

Response to Missing Parts/  
Incomplete ApplicationResponse to Missing Parts  
under 37 CFR 1.52 or 1.53Assignment Papers  
(for an Application)

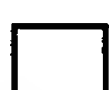
Drawing(s)



Licensing-related Papers



Petition

Petition to Convert to a  
Provisional ApplicationPower of Attorney, Revocation  
Change of Correspondence  
Address

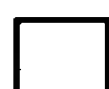
Terminal Disclaimer



Request for Refund



CD, Number of CD(s) \_\_\_\_\_

After Allowance Communication  
to GroupAppeal Communication to Board  
of Appeals and InterferencesAppeal Communication to Group  
(Appeal Notice, Brief, Reply Brief)

Proprietary Information



Status Letter

Other Enclosure(s) (please  
identify below):

Remarks

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm  
or  
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Date

11/26/2003

## CERTIFICATE OF MAILING

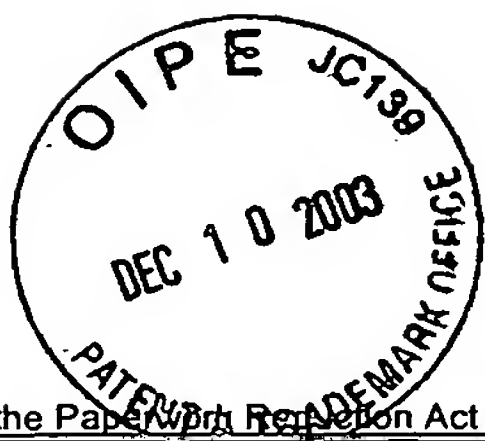
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: 

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (01-03)  
Approved for use through 04/30/2003. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

# FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/605,427
Filing Date	09/30/2003
First Named Inventor	En-Hsiang Yeh
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0065USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number  
50-0801  
Deposit Account Name

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) during the pendency of this application

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	750	2001	375	Utility filing fee	
1002	330	2002	165	Design filing fee	
1003	520	2003	260	Plant filing fee	
1004	750	2004	375	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) (\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	84	2201	42	Independent claims in excess of 3
1203	280	2203	140	Multiple dependent claim, if not paid
1204	84	2204	42	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	410	2252	205	Extension for reply within second month	
1253	930	2253	465	Extension for reply within third month	
1254	1,450	2254	725	Extension for reply within fourth month	
1255	1,970	2255	985	Extension for reply within fifth month	
1401	320	2401	160	Notice of Appeal	
1402	320	2402	160	Filing a brief in support of an appeal	
1403	280	2403	140	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,300	2453	650	Petition to revive - unintentional	
1501	1,300	2501	650	Utility issue fee (or reissue)	
1502	470	2502	235	Design issue fee	
1503	630	2503	315	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	750	2809	375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	750	2810	375	For each additional invention to be examined (37 CFR 1.129(b))	
1801	750	2801	375	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

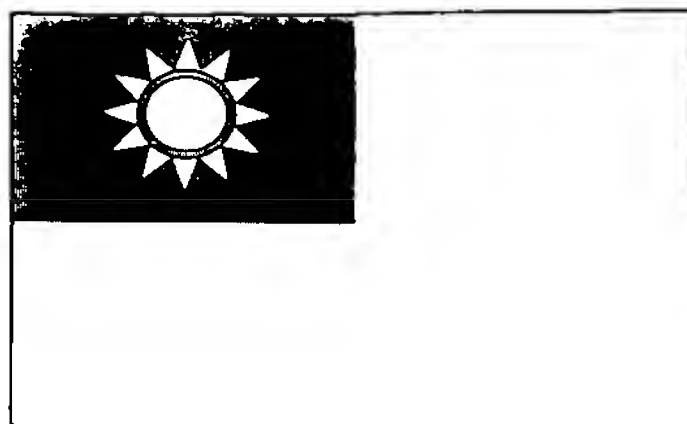
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature				Date	10/20/2003

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 20 日  
Application Date

申請案號：092113646  
Application No.

申請人：聯發科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 7 月 10 日  
Issue Date

發文字號：09220697020  
Serial No.

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

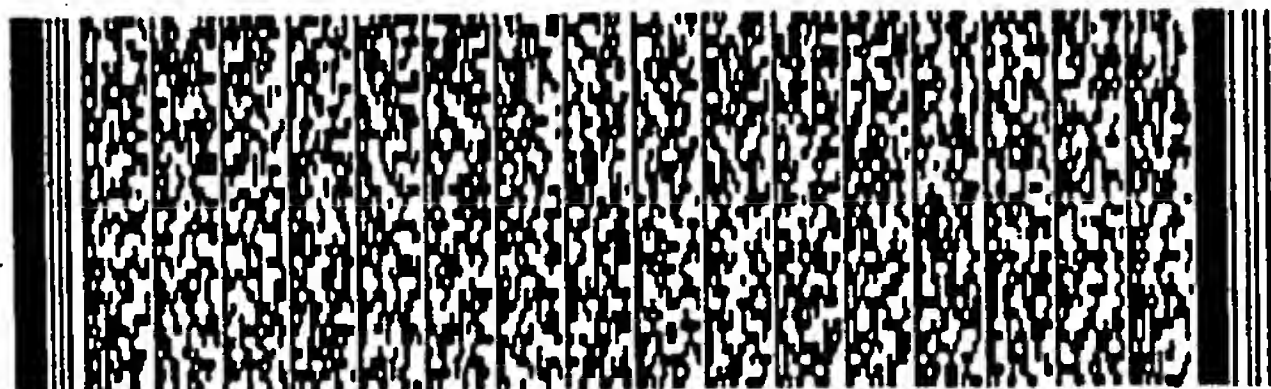


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	具有固定輸入阻抗之放大器及相關方法
	英 文	AMPLIFIER WITH FIXED INPUT IMPEDANCE OPERATED IN VARIOUS GAIN MODES
二、 發明人 (共1人)	姓 名 (中 文)	1. 葉恩祥
	姓 名 (英 文)	1. Yeh, En-Hsiang
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市關東路二0九號五樓
	住居所 (英 文)	1. 5F, No. 209, Kuan-Tung Rd., Hsin-Chu City Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英 文)	1. MediaTek Inc.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中 文)	1. 蔡明介
	代表人 (英 文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明名稱：具有固定輸入阻抗之放大器及相關方法)

本發明提供一種具有固定輸入阻抗之放大器 (Amplifier)，其可操作於複數個不同之增益 (Gain) 模式下。該放大器包含有一輸入端，用來接收一輸入訊號；一增益電路，用來於不同的增益模式下將該輸入訊號以一對應之增益倍率加以放大；複數個電阻性負迴授電路 (Resistive Negative Feedback Circuit)，電連於該輸入端及該增益電路，用來將該放大器之輸入阻抗於不同的增益模式下保持定值；以及一輸出端，用來輸出經該增益電路放大後的輸入訊號。

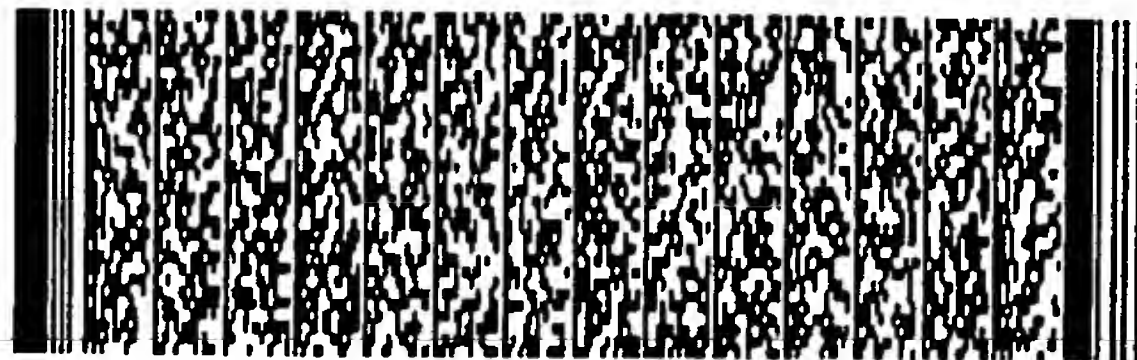
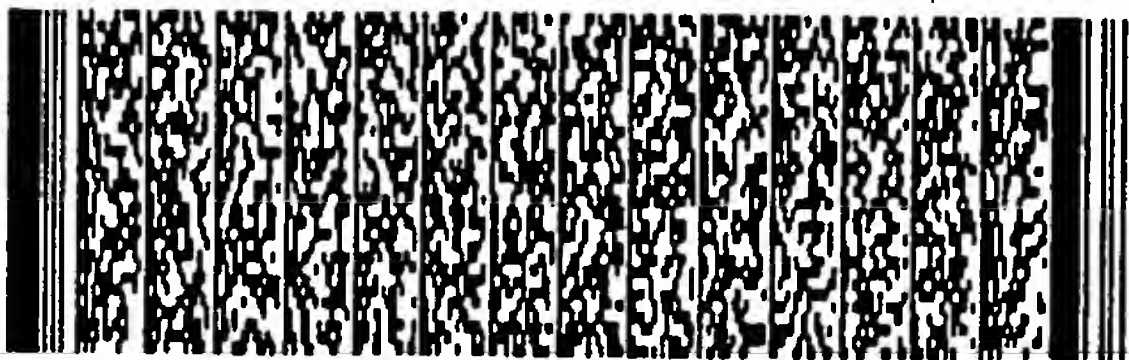
五、(一)、本案代表圖為：第六圖

(二)、本案代表圖之元件代表符號簡單說明

80	放大器	82	輸入端
84	增益電路	86	輸出端
83	第一開關裝置	85	第二開關裝置

六、英文發明摘要 (發明名稱：AMPLIFIER WITH FIXED INPUT IMPEDANCE OPERATED IN VARIOUS GAIN MODES)

An amplifier with a fixed input impedance being operated in a plurality of gain modes. The amplifier includes an input port for receiving an input signal, an amplifying circuit for amplifying the input signal with corresponding amplifying ratios in various gain modes, a plurality of resistive negative feedback circuits electrically connected to the input port and the

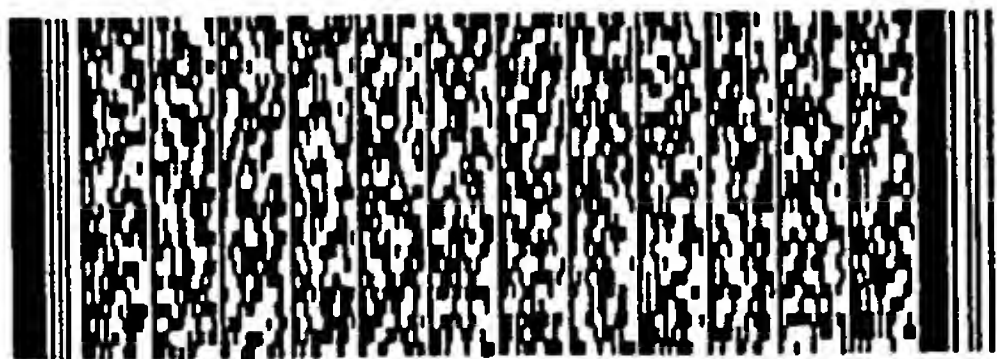


四、中文發明摘要 (發明名稱：具有固定輸入阻抗之放大器及相關方法)

87 高增益電阻性負迴授電路  
低增益電阻性負迴授電路

六、英文發明摘要 (發明名稱：AMPLIFIER WITH FIXED INPUT IMPEDANCE OPERATED IN VARIOUS GAIN MODES)

amplifying circuit for remaining the input impedance fixed in various gain modes, and an output port for outputting the input signal processed by the amplifying circuit.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

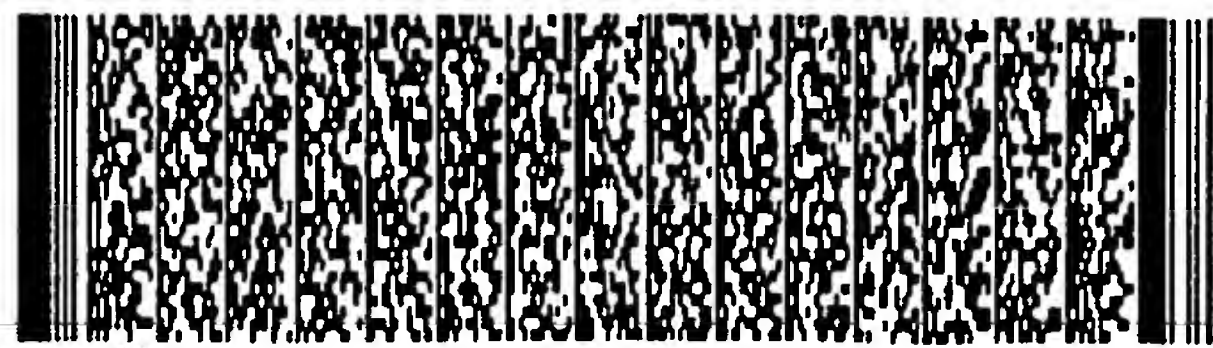
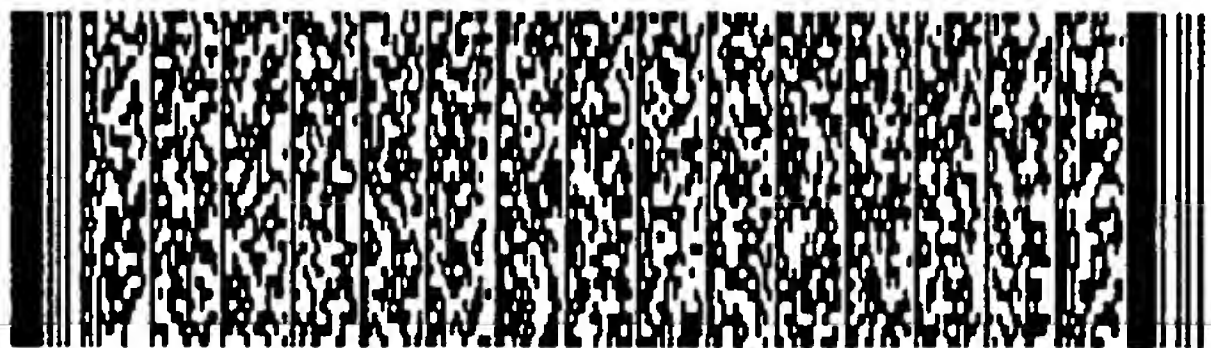
### 發明所屬之技術領域

本發明提供一種具有固定輸入阻抗之放大器及相關方法，尤指一種利用複數個電阻性負迴授電路，來處理複數個反饋訊號，將該放大器之輸入阻抗於不同的增益模式下保持定值的放大器及相關方法。

### 先前技術

低雜訊放大器 (Low Noise Amplifier, LNA) 是無線通訊系統之接收器 (Receiver) 中不可或缺的一部份，其主要的目的是提供接收來自天線之信號所需的增益與靈敏度。由於低雜訊放大器設置於接收器的前端，用來處理通常來說為非常微弱的訊號，因此低雜訊放大器的功能表現，如雜訊指數 (Noise Figure)、射頻增益 (RF Gain)、及非線性 (Non-linearity) 等的好壞都將決定該接收器的整體表現。

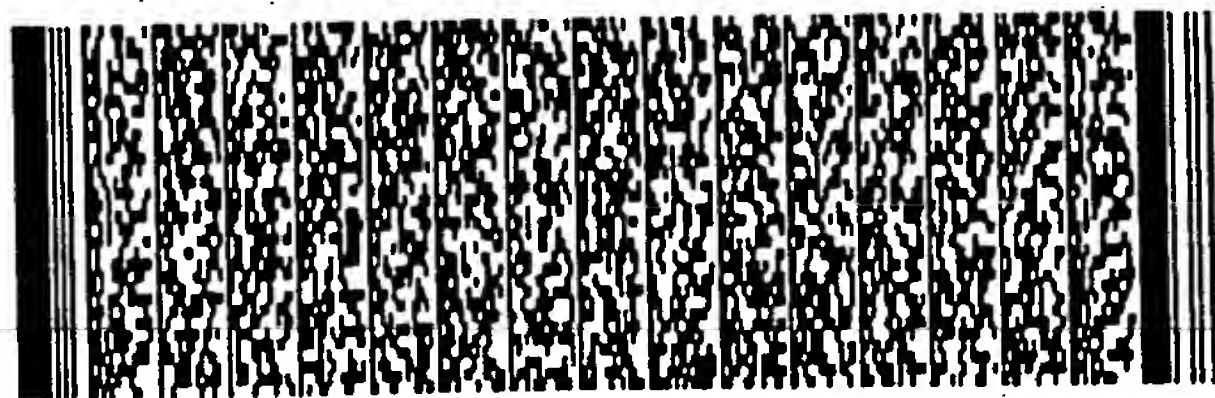
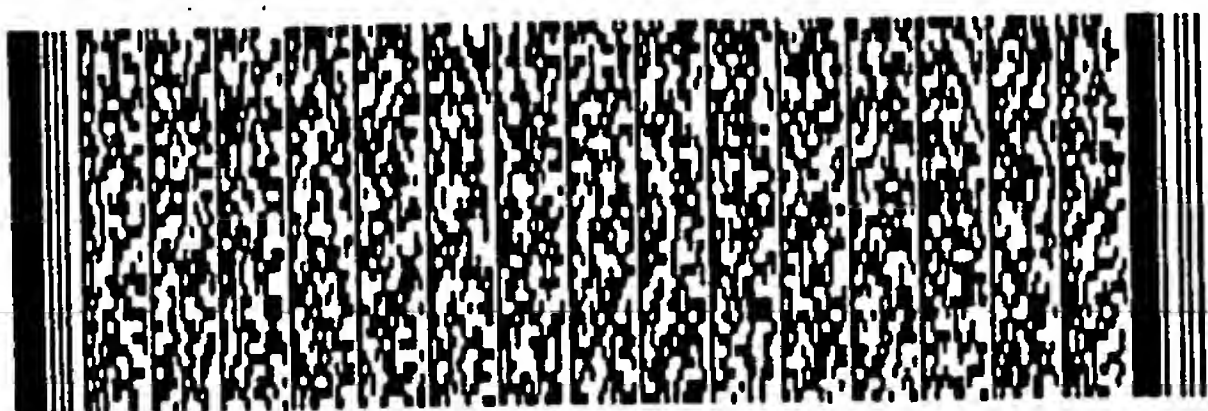
請參閱圖一，圖一為一無線通訊系統之接收器 10 的功能方塊圖。本實施例所述之接收器 10 主要是應用於 0.9GHz 到 10GHz 的無線通訊系統為主，因為現今的商用無線通訊系統，例如：泛歐數位式行動通訊系統 (GSM)、藍芽 (Blue-tooth)、無線區域網路 (WLAN) 等，其操作頻率大都落在這個範圍內。接收器 10 包含有一天線 12、一



## 五、發明說明 (2)

濾波器 14、一低雜訊放大器 16、一混波裝置 18、一區域震盪產生器 (Local Oscillator Generator) 20、以及一訊號處理模組 22。天線 12 用來接收一射頻訊號 RF，射頻訊號 RF 自天線 12 接收下來之後，先經過濾波器 14 作一次頻帶選擇，產生一輸入訊號 SI，此輸入訊號 SI 需經過低雜訊放大器 16 以一預設之增益倍率加以放大，如前所述，由於接收到的射頻訊號 RF 及濾波後的輸入訊號 SI 通常均十分微弱，使得設置於濾波器 14 後端之放大器所帶來的雜訊須越小越好，因此低雜訊放大器 16 為最佳之選。從低雜訊放大器 16 輸出的信號，再利用混波裝置 18 配合區域震盪產生器 20 之運作將此輸入訊號 SI 降頻至一特定頻率，繼續送至訊號處理模組 22 作進一步的完成中頻放大、訊號解調 (Demodulation) 等運作。

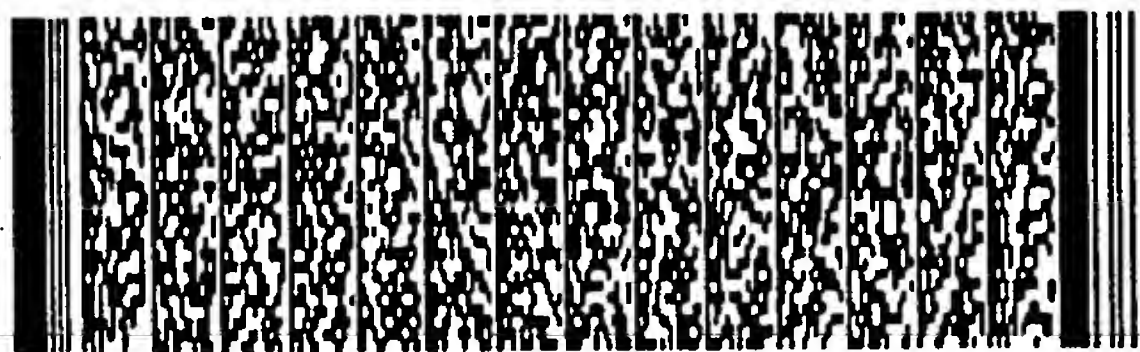
在實際實施時，在不同環境及不同的時間點，無線通訊系統之接收器 10 所接收到的射頻訊號 RF 之強度 (Magnitude) 並不固定，以行動電話的訊號傳輸為例，若接收器 10 相當接近訊號發射端 (如基地台)，射頻訊號 RF 之強度相對而言就遠大於當接收器 10 遠離訊號發射端的情況。過大的射頻訊號 RF 很容易使其飽和而無法正常執行線性放大的功能，因此一般將低雜訊放大器 16 設計為一可變式增益放大器 (Variable Gain Amplifier)，可操作於複數個不同之增益 (Gain) 模式下。若以將增益模式設計為兩種：高增益模式及低增益模式為例，在圖一之



### 五、發明說明 (3)

輸入訊號  $SI$  較小時，可將低雜訊放大器 16 操作於高增益模式，將輸入訊號  $SI$  以較高之增益倍率放大並輸出；相反地，當圖一之輸入訊號  $SI$  較大時，可使用低增益模式處理輸入訊號  $SI$ ，以避免低雜訊放大器 16 發生飽和的情況。請參閱圖二，圖二為圖一習知低雜訊放大器 16 之一實施例之功能方塊圖，且低雜訊放大器 16 為一可變式增益放大器，可分別操作於一高增益模式以及一低增益模式下。低雜訊放大器 16 由三個部分所組成：一輸入端 32、一增益電路 34、及一輸出端 36。輸入端 32 用來接收輸入訊號  $SI$ ，而增益電路 34 包含電晶體  $Q1-Q5$  及可調整之三偏壓 (Bias)  $B1-B3$ ，用來於二個不同的增益模式下將輸入訊號  $SI$  以一對應之 (高/低) 增益倍率加以放大，最後由輸出端 36 輸出經增益電路 34 放大後的輸入訊號  $SI$ 。

請繼續參閱圖二，當低雜訊放大器 16 操作於高增益模式下時，偏壓  $B2$  大於偏壓  $B3$ ，因此電晶體  $Q1$ 、 $Q2$ 、 $Q4$ 、 $Q5$  被開啟運作，而電晶體  $Q3$  處於關閉狀態，此時輸入訊號  $SI$  會經增益電路 34 中之電晶體  $Q1$ 、 $Q2$ 、 $Q4$ 、 $Q5$  放大，並由輸出端 36 輸出經增益電路 34 放大後的輸入訊號  $SI$ 。當低雜訊放大器 16 操作於低增益模式下時，偏壓  $B3$  大於偏壓  $B2$ ，電晶體  $Q1$ 、 $Q3$ 、 $Q4$ 、 $Q5$  被開啟運作，而電晶體  $Q2$  處於關閉狀態，此時輸入訊號  $SI$  會經電晶體  $Q4$ 、 $Q5$  放大，並由輸出端 36 輸出處理後的輸入訊號  $SI$ 。然而在當初設計電路時，即可設計電晶體  $Q1$ 、 $Q2$ 、 $Q3$  的尺寸

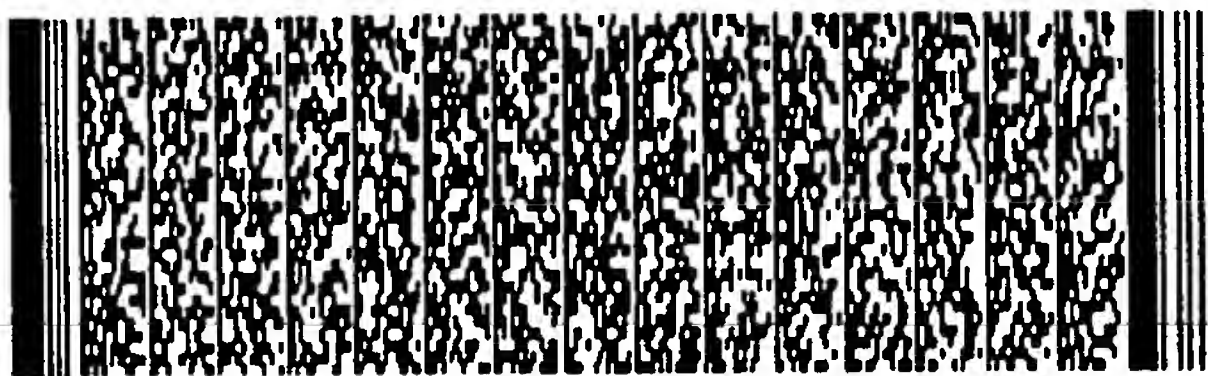




#### 五、發明說明 (4)

大於電晶體  $Q4$ 、 $Q5$ ，如此一來，只有少部分的輸入訊號  $SI$  經電晶體  $Q4$ 、 $Q5$  遞送至輸出端 36，大部分的輸入訊號  $SI$  則經電晶體  $Q1$ 、 $Q3$  分流至一電壓源端  $VCC$ 。由上面的描述可知，高增益模式及低增益模式之間的切換，是取決於偏壓  $B2$  與偏壓  $B3$  之間的大小關係，偏壓  $B1$  則保持一定值。在實際實施時，可將偏壓  $B2$  保持在一預設電壓值，只調整切換偏壓  $B3$  使之高於或低於偏壓  $B2$  以達成上述之效果。

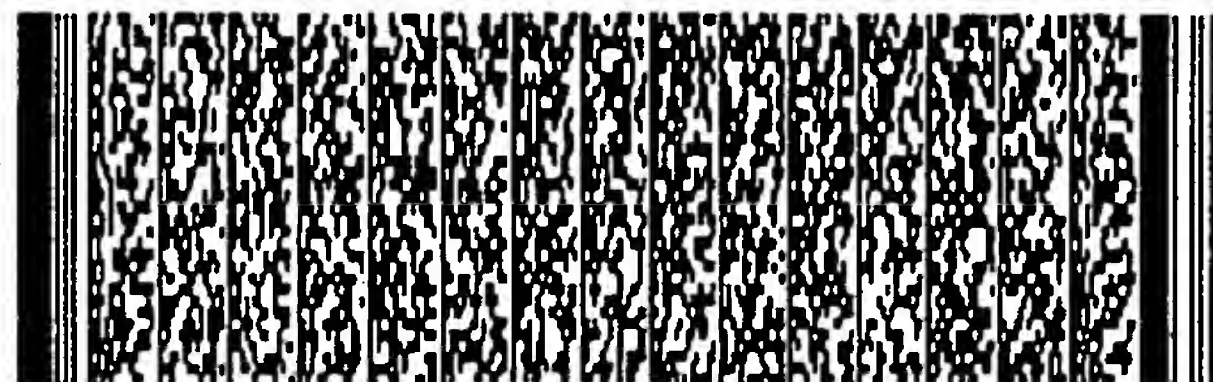
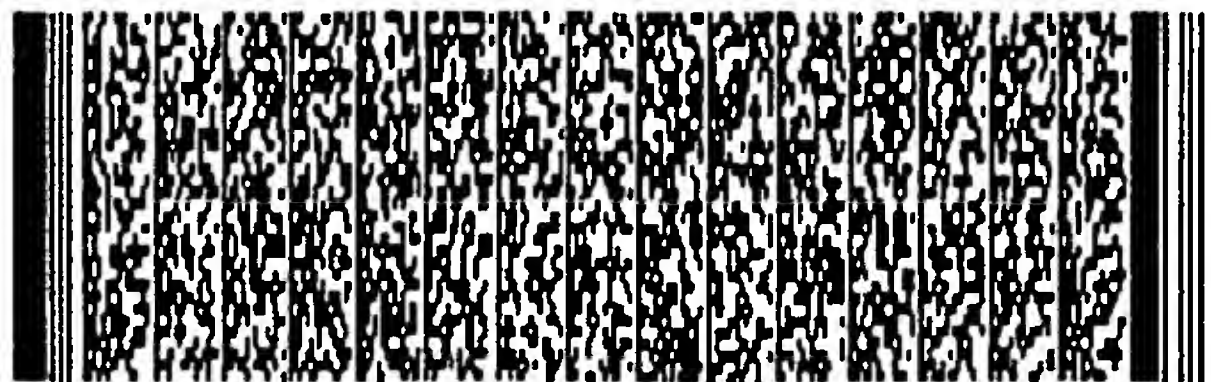
另外，一般放大電路均含有輸入阻抗 (Input Impedance) 及輸出阻抗 (Output Impedance)，而當一系統中包含有一放大電路之各個電路相互連接時，可能會因放大電路與其他電路的輸入、輸出阻抗匹配不當，而導致產生負載效應，致使整個系統的效能受到影響。請同時參閱圖一及圖二，低雜訊放大器 16 具有一輸入阻抗  $Z_{in1}$ ，並另包含一電感性負迴授電路 (Inductive Negative Feedback Circuit) 38 及一電感式負載  $L_c$ 。為了避免於濾波器 14 及低雜訊放大器 16 之間可能發生的阻抗匹配不當，而影響到濾波器 14 的響應及低雜訊放大器 16 的效能，在圖二之習知實施例中採用於電晶體  $Q1$ 、 $Q4$  之射極 (Emitter) 電連此電感性負迴授電路 38 來調整輸入阻抗  $Z_{in1}$ ，並使得低雜訊放大器 16 於高增益模式及低增益模式之間切換時，不會因輸入阻抗  $Z_{in1}$  的變動而改變濾波器 14 的濾波響應，並進而確保接收器 10 的效能。





## 五、發明說明 (5)

然而，由於電感性負迴授電路 38 所佔的電路面積過大，在成本考量下，電阻式負載及電阻式負迴授電路是較能為產業界接受的方式。請見圖三，圖三為圖一習知低雜訊放大器 16 之另一實施例之功能方塊圖。此低雜訊放大器 16 仍為一可變式增益放大器，可操作於一高增益模式以及一低增益模式下。另外，與圖二實施例相同，低雜訊放大器 16 亦由輸入端 32、增益電路 34、及輸出端 36 所組成，並包含一輸入阻抗  $Z_{in1}'$ ，而增益電路 34 亦包含電晶體  $Q1'-Q5'$  及可調整之三偏壓 (Bias) 裝置  $B1'-B3'$ ，用來於二個不同的增益模式下將輸入訊號  $S_I$  以對應之 (高/低) 增益倍率加以放大。與前一實施例最主要的分別在於，圖三實施例以一電阻式負載  $R_L$  及一電阻式負迴授電路 40 來代替圖二中之電感式負載  $L_c$  及電感式負迴授電路 38 達成負迴授之功能。為簡單解釋電阻式負迴授之功能及特性，我們另外以一單級電晶體放大電路為例說明，請參閱圖四，圖四為一簡易放大電路 50 併同一電阻  $R_f$  作為電阻式負迴授電路的示意圖。簡易放大電路 50 可視為以一電晶體  $Q6$  構成，並包含有一輸入端 52、一輸出端 56、一原有之等效電阻  $R$ 、以及作負迴授之用的電阻  $R_f$ 。在沒有電阻  $R_f$  之負迴授影響下，該放大電路之電壓增益為  $A_{v1} = g_m R$ ，其中  $g_m$  為電晶體  $Q6$  的特性參數，圖四右方同時以實線顯示無負迴授之情形下簡易放大電路 50 的頻率響應，橫軸表示頻率  $f$ ，縱軸代表增益  $A_v$ 。而在加入



## 五、發明說明 (6)

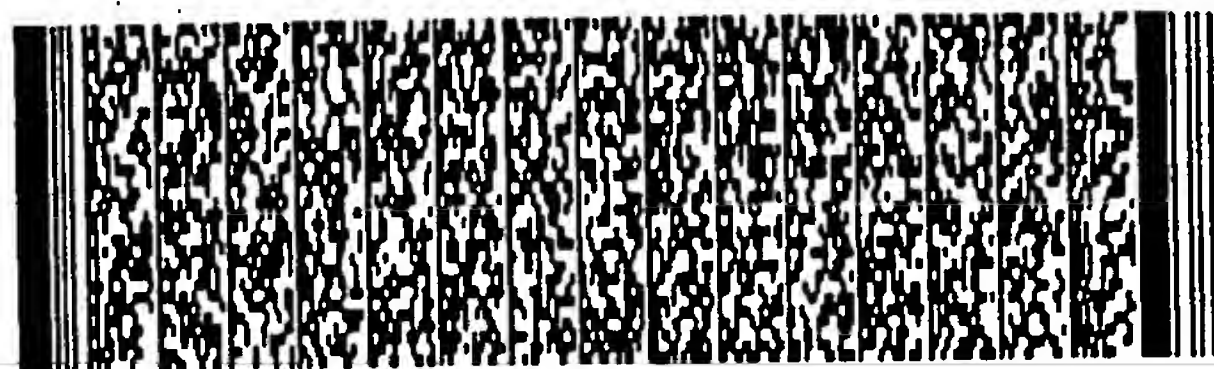
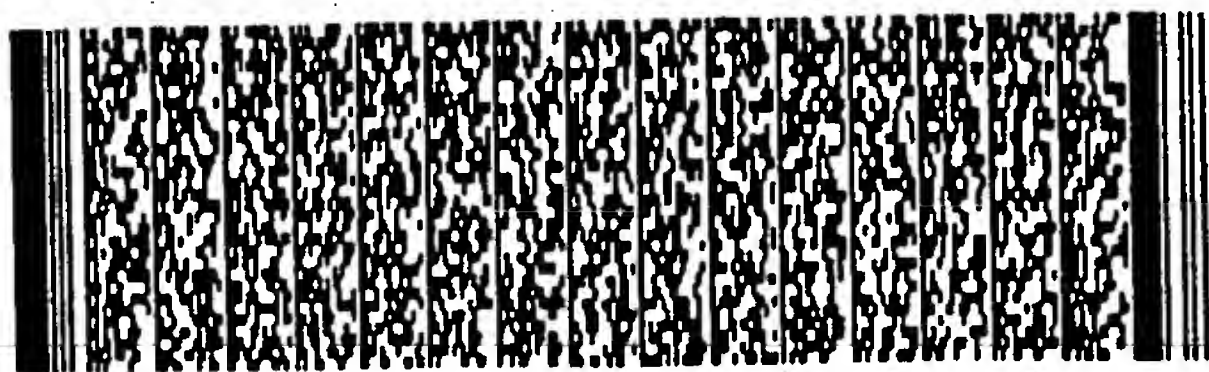
(等效為並聯)電阻  $R_f$  的情況下，增益縮小為

$A_{v2} \approx g_m \cdot R \cdot R_f / (R_f + R)$ ，圖四右方同時以虛線表示加入負迴授效應後簡易放大電路 50 的頻濾響應。由圖四可知，縮小的增益 (降低  $R_f / (R_f + R)$  倍) 卻能帶來較佳的頻率響應 (在較寬的頻帶中保有平坦的增益倍率)，同時，增益及失真

(distortion) 等特性也隨之降低。另外，此簡易放大電路 50 的輸入阻抗  $Z_{in2}$  亦隨加入之電阻  $R_f$  之值而改變成

$Z_{in2} \approx (R_f + R) / (g_m \cdot R)$ ，電阻式負迴授電路 40 具有調整放大電路之輸入阻抗  $Z_{in2}$  的功效。

在大致明白電阻式負迴授電路 40 之技術特徵後，請回頭參閱圖三，圖三之電阻式負迴授電路 40 為一電阻  $R$  電連一電容  $C$ 。圖三實施例之工作原理與圖二實施例相近，當低雜訊放大器 16 操作於高增益模式下時，部分經處理並輸出至輸出端 36 之輸入訊號  $SI$  會從輸出端 36 經該電阻式負迴授電路 40 反饋回輸入端 32，稱之為一反饋訊號。然而，在當低雜訊放大器 16 切換至低增益模式時，由於只有少部分的輸入訊號  $SI$  經電晶體  $Q4'$ 、 $Q5'$  遞送至輸出端 36，大部分的輸入訊號  $SI$  則經電晶體  $Q1'$ 、 $Q3'$  分流至一電壓源端  $VCC'$ ，亦即只有少部分的反饋訊號經此電阻式負迴授電路 40 反饋回輸入端 32，其餘大部分的信號量則由電壓源端  $VCC'$  旁路。如此一來，在不同的增益模式下，該電阻式負迴授電路 40 無法發揮其調整輸入阻抗的功能，使得輸入阻抗  $Z_{in1}$  於不同的增益模式下呈現不同



## 五、發明說明 (7)

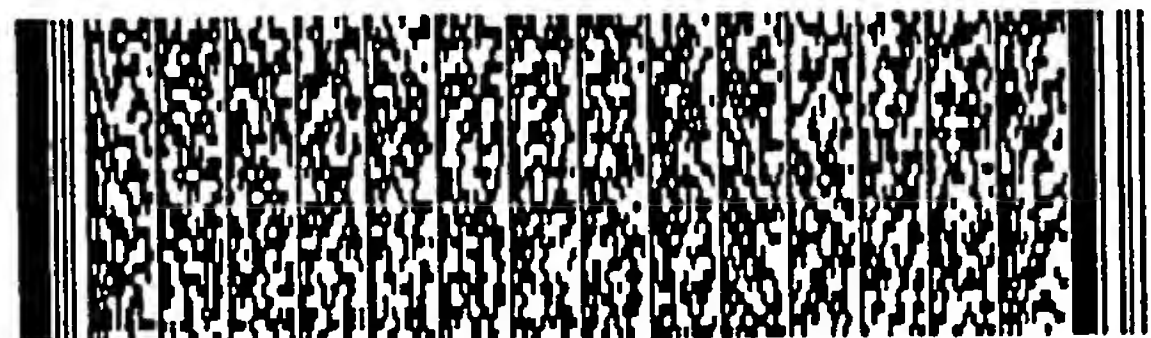
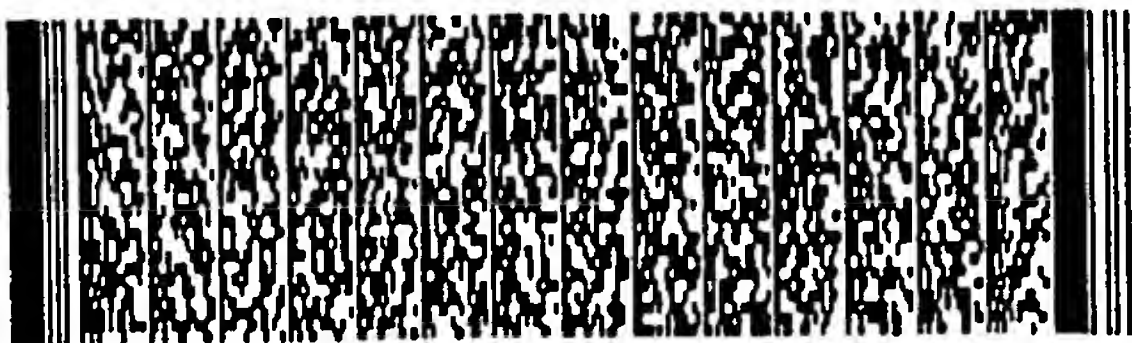
的值。如同先前之描述，濾波器 14 的濾波響應會受到濾波器 14 與低雜訊放大器 16 之間的阻抗匹配不當而發生頻率響應失真 (Distortion) 的現象，使濾波器在頻帶外 (out-of-band) 的衰減不夠，以致於影響到低雜訊放大器 16 的效能。

### 發明內容

因此本發明的主要目的在於一種利用複數個電阻性負迴授電路來處理對應之反饋訊號，將該放大器之輸入阻抗於不同的增益模式下保持定值的放大器及相關方法，以解決上述問題。

在本發明中之放大器中，我們利用複數個電阻性負迴授電路，分別設置於不同的增益模式下反饋訊號所行經之複數個路徑。於每一特定之增益模式下，對應之至少一電阻性負迴授電路會處理該對應之反饋訊號，使得於不同的增益模式下放大器之輸入阻抗能保持定值。另外，至少一預設之電阻性負迴授電路會連接於對應之開關裝置 (Switch device)，用來依據不同的增益模式決定反饋訊號是否會經由該至少一預設之電阻性負迴授電路反饋至輸入端，以達成上述之功能。

在本發明中，我們亦提出一差動 (Differential) 放





##### 五、發明說明 (8)

大器之技術特徵，其係利用將本發明二個技術特徵完全相同之放大器加以併合，完成差動模式 (Differential Mode) 下之放大器技術特徵。本發明之差動放大器亦具有固定之輸入阻抗，仍利用複數個電阻性負迴授電路及至少一對應之開關裝置，分別處理於不同的增益模式下之反饋訊號，使得不同的增益模式下之差動放大器的輸入阻抗能保持定值，並由於差動模式之特性，使得本發明之差動放大器具有不易受到干擾與產生干擾，以及較寬廣之頻率響應等的優點。

本發明之目的為提供一種具有固定輸入阻抗之放大器 (Amplifier)，其可操作於複數個不同之增益 (Gain) 模式下。該放大器包含有一輸入端，用來接收一輸入訊號；一增益電路，用來於不同的增益模式下將該輸入訊號以一對應之增益倍率加以放大；複數個電阻性負迴授電路 (Resistive Negative Feedback Circuit)，電連於該輸入端及該增益電路，用來將該放大器之輸入阻抗於不同的增益模式下保持定值；以及一輸出端，用來輸出經該增益電路放大後的輸入訊號。

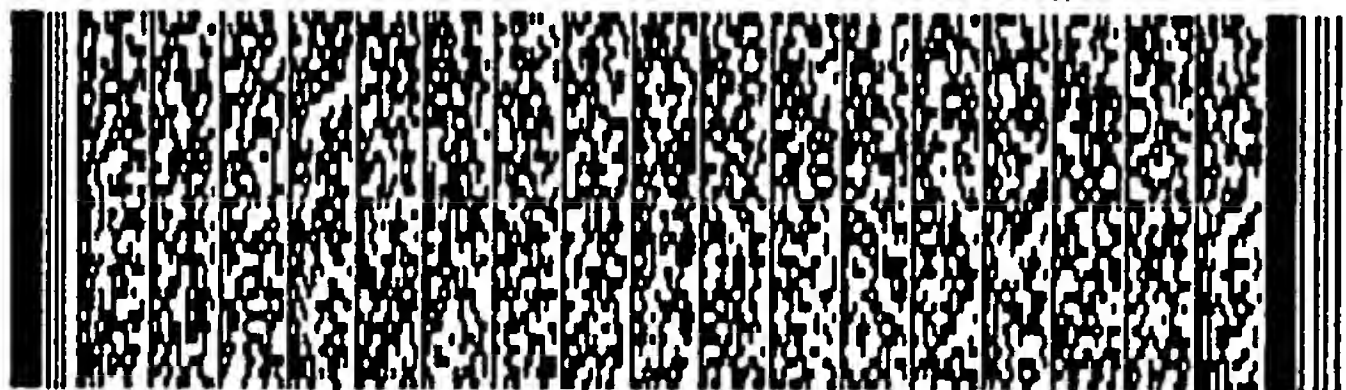
本發明之另一目的為提供一種用於一放大器 (Amplifier) 中，於複數個不同之增益 (Gain) 模式下將該放大器之輸入阻抗保持固定的方法。該放大器包含一增益電路以及複數個電阻性負迴授電路。該方法包含有使





## 五、發明說明 (9)

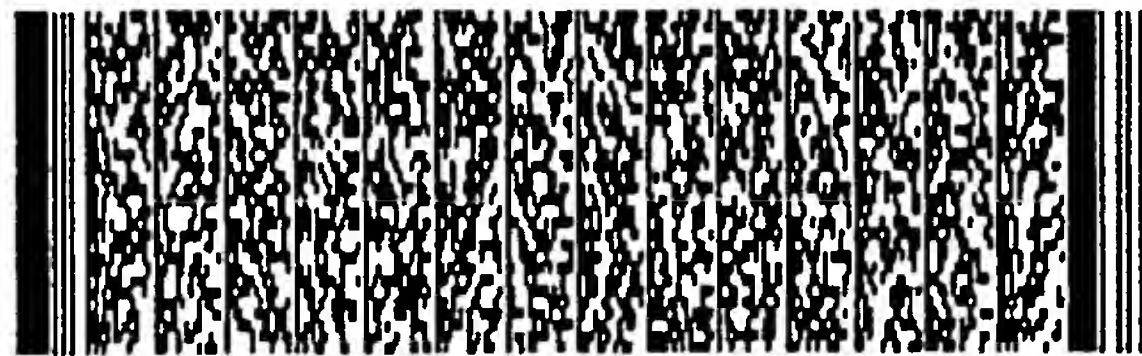
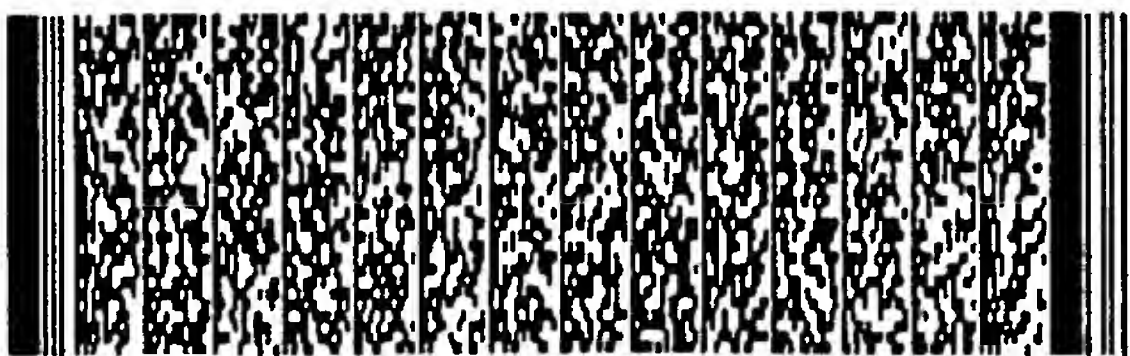
用該增益電路將該放大器於不同的增益模式下切換；以及使用該複數個電阻性負迴授電路將該放大器之輸入阻抗於不同的增益模式下保持定值。

[illegible]

## 五、發明說明 (10)

### 實施方式

請參閱圖五，圖五為本發明放大器 60 之一實施例的示意圖。近似於圖二及圖三習知實施例，本發明實施例之放大器 60 包含一輸入端 62、一增益電路 64、及一輸出端 66，並具有一輸入阻抗  $Z_{in3}$ 。輸入端 62 用來接收一輸入訊號  $SI3$ ，而增益電路 64 包含電晶體  $Q7-Q11$  及可調整之三偏壓 (Bias)  $B4-B6$ ，其基本的工作原理仍相似於圖二及圖三習知實施例中之增益電路 64，因此，若對照圖二實施例，則電晶體  $Q7-Q11$  分別對應至電晶體  $Q1-Q5$ ，而三偏壓  $B4-B6$  則分別對應至  $B1-B3$ ，都是用來將放大器 60 於複數個不同的增益模式下進行對應之放大操作，將輸入端 62 接收到之輸入訊號  $SI3$  以一對應之增益倍率加以放大，最後再由輸出端 66 輸出經此增益電路 64 放大後的輸入訊號  $SI3$ 。在本實施例中仍承襲習知實施例中兩種增益模式的設計：高增益模式及低增益模式，當偏壓  $B5$  大於偏壓  $B6$ ，放大器 60 操作於高增益模式下，此時輸入訊號  $SI3$  經增益電路 64 中之電晶體  $Q7$ 、 $Q8$ 、 $Q10$ 、 $Q11$  放大，並由輸出至輸出端 66；當偏壓  $B6$  大於偏壓  $B5$ ，放大器 60 操作於低增益模式下，此時只有少部分的輸入訊號  $SI3$  經尺寸較小之電晶體  $Q10$ 、 $Q11$  遞送至輸出端 66，大部分的輸入訊號  $SI3$  則經電晶體  $Q7$ 、 $Q9$  分流至一電壓源端  $VCC$ 。因此，於本實施例中，高增益模式及低增益模式之間的切換仍是利用偏壓  $B5$  與偏壓  $B6$  之間的大小關係決定。



## 五、發明說明 (11)

由圖三習知技術可知，於每一增益模式下，一反饋訊號會經由至少一對應之路徑反饋到該輸入端，對照至本實施例中，本發明之放大器60包含有二電阻性負迴授電路，區分為一高增益電阻性負迴授電路67及一低增益電阻性負迴授電路69，且皆由一電阻電連一電容所完成(高增益電阻性負迴授電路67包含一電阻 $R_{f1}$ 及一電容 $C_{f1}$ ，低增益電阻性負迴授電路69包含一電阻 $R_{f2}$ 及一電容 $C_{f2}$ )。由名稱即可知，高增益電阻性負迴授電路67是要用來處理在高增益模式下之反饋訊號，而低增益電阻性負迴授電路69是主要用來處理在低增益模式下之反饋訊號。若與習知圖三實施例一同觀之，高增益電阻性負迴授電路67則可對應至圖三之電阻性負迴授電路。也就是說，在高增益模式下，反饋訊號主要經由高增益電阻性負迴授電路67從輸出端66反饋到輸入端62，而在低增益模式下，反饋訊號大部分會從電壓源端VCC，經由低增益電阻性負迴授電路69反饋至輸入端62。此外，放大器60另包含一開關裝置(Switch device)68，電連於低增益電阻性負迴授電路69，如此一來，在實際實施時，在高增益模式下，將開關裝置68斷開(Open)，讓輸入端62訊號不受低增益電阻性負迴授電路69(電阻 $R_{f2}$ 及電容 $C_{f2}$ )的影響，完全經由高增益電阻性負迴授電路67從輸出端66反饋到輸入端62。而在低增益模式下，由於大部分的輸入訊號SI3會經由電晶體Q7、Q9分流至電壓源端



#### 五、發明說明 (12)

VCC，因此，為處理由電壓源端 VCC 反饋之訊號，此時將開關裝置 68 接通 (Closed)，讓大部分的反饋訊號由電壓源端 VCC 經此低增益電阻性負迴授電路 69 反饋至輸入端 62。如此一來，可經由適當設計電阻  $R_{f2}$  及電容  $C_{f2}$  的大小，使放大器 60 由輸入端 62 看進去之輸入阻抗  $Z_{in3}$ ，無論在低增益模式抑或高增益模式下皆不改變，避免影響一前級濾波器之效能 (請見圖一實施例)。

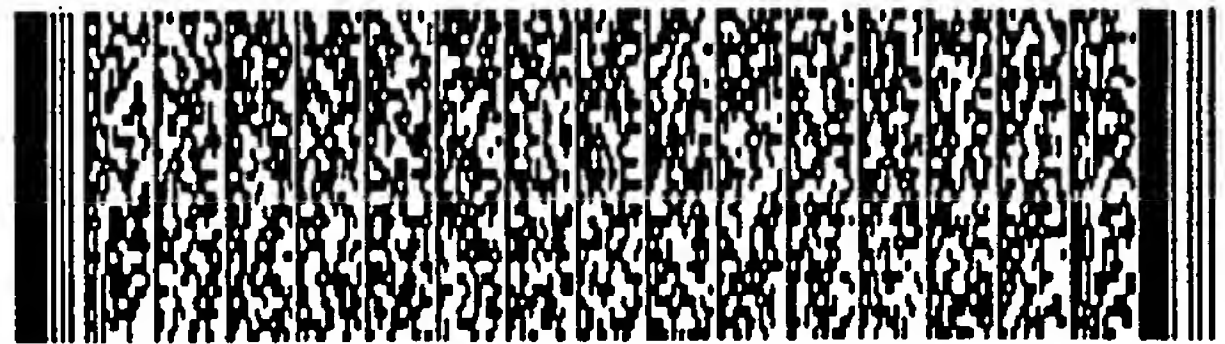
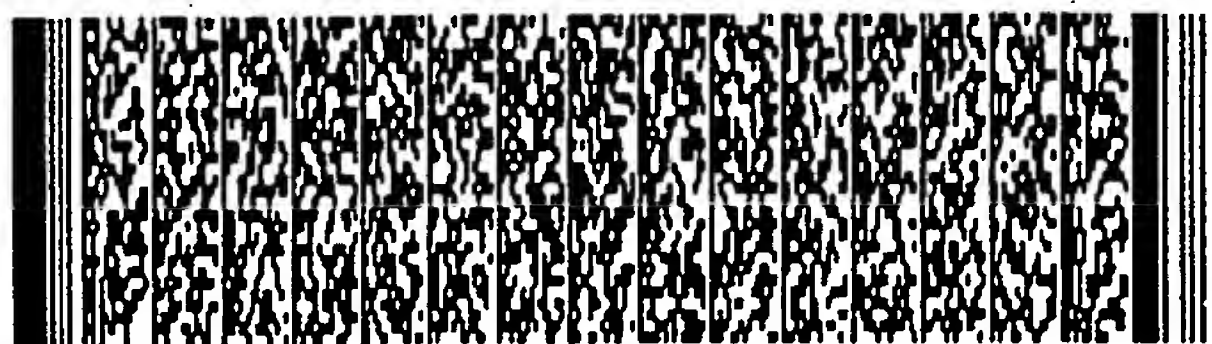
請注意，上述實施例中所使用之電晶體 Q7-Q11 的型並不限定，可以為雙載子連接電晶體 (bipolar junction transistor, BJT)、金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體、甚至其他型式的電晶體。請參閱圖六，圖六為本發明放大器 80 之另一實施例的示意圖，各元件之功能及操作原理與圖五實施例幾乎完全相同，本實施例之放大器 80 亦包含一輸入端 82 (可用來接收一輸入訊號  $SI3'$ )、一增益電路 84、及一輸出端 86，除此之外，放大器 80 具有一輸入阻抗  $Z_{in3'}$ 。增益電路 84 是由電晶體 Q7'-Q11'、可調整之三偏壓 B4'-B6'、一高增益電阻性負迴授電路 87 (包含一電阻  $R_{f1'}$  及一電容  $C_{f1'}$ )、以及一低增益電阻性負迴授電路 89 (包含一電阻  $R_{f2'}$  及一電容  $C_{f2'}$ ) 所構成。本實施例與圖五實施例最大的差異處為，本實施例於二電阻性負迴授電路之處皆裝設有開關裝置，一第一開關裝置 83 電連於高增益電阻性負迴授電路 87，可利用一電晶體 Q12 配上一控制訊號 Ctrl



##### 五、發明說明 (13)

完成，而一第二開關裝置 85 則電連於低增益電阻性負迴授電路 89，可利用一電晶體 Q13 配上一控制訊號 Ctr2 完成，與圖五對照後，第二開關裝置 85 之功能可等同於圖五實施例中之開關裝置 68。如此一來，在高增益模式下，斷開第二開關裝置 85，接通第一開關裝置 83，讓反饋訊號完全經由高增益電阻性負迴授電路 87 從輸出端 86 反饋到輸入端 82；相反的，在低增益模式下，斷開第一開關裝置 83，接通第二開關裝置 85，讓反饋訊號完全經由低增益電阻性負迴授電路 89 從一電壓源端 VCC' 反饋至輸入端 82。同樣的，經由適當地設計電阻 Rf1'、電容 Cf1'、電阻 Rf2'、及電容 Cf2' 的大小，即可使放大器 80 之輸入阻抗  $Z_{in3'}$  在低增益模式及高增益模式下皆保持不變。

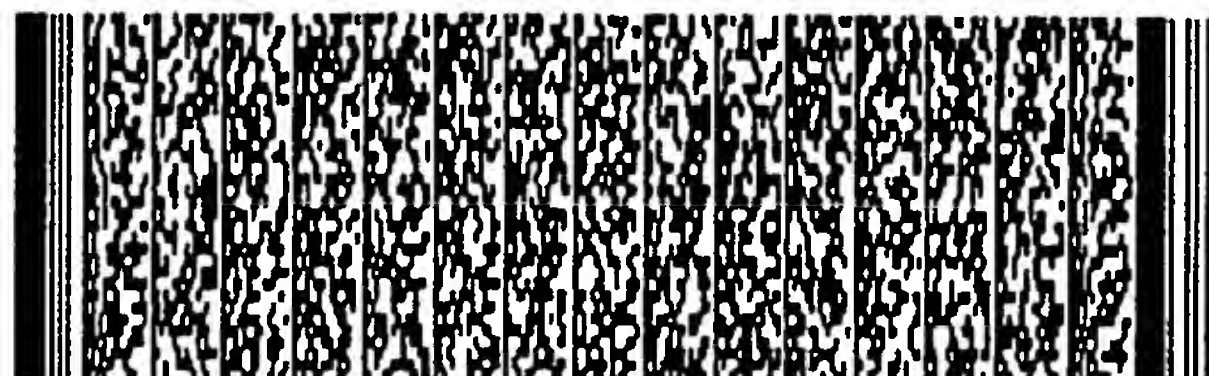
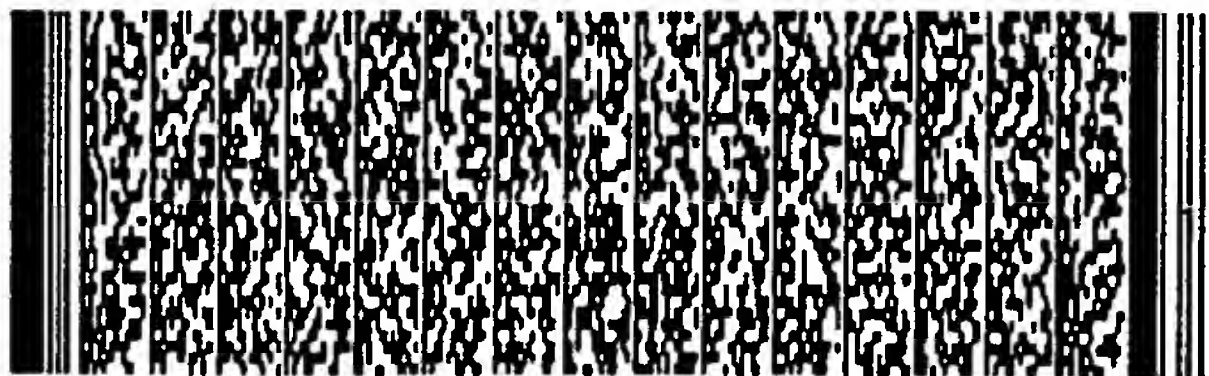
事實上，增益模式的數目並不限定為高/低兩種，以圖六實施例而言，在實際實施時，可將偏壓 B5' 保持在一預設電壓值，只調整切換偏壓 B6' 使之高於、低於、或等同於偏壓 B5' 即可達成三種不同增益模式的切換。請見圖七，圖七為圖六實施例之一詳細實施例的示意圖。為強調依據所加偏壓的不同以達成三種不同增益模式的切換，圖七實施例揭露了可調整之三偏壓 B4'-B6' 之詳細電路，三偏壓 B4'-B6' 分別對應至三偏壓裝置 90、91、92。偏壓 B5' 被設定固定於一預設電壓值，此預設電壓值請參閱圖八，圖八為圖七三偏壓 B4'-B6' 之一實施例之列表。



#### 五、發明說明 (14)

由圖八可知，偏壓 B5' 的預設電壓值設為 1.6 伏特 (V)，而使用者可利用將偏壓 B6' 於一高電壓值 (2.7V) 及一接地電壓 GND (0V) 之間轉換，來將放大器 80 於低增益模式及高增益模式之間切換，若將偏壓 B6' 調整至完全與偏壓 B5' 相同 (1.6V)，此時，輸入訊號 SI3 中經由電晶體 Q10'、Q11' 遞送至輸出端 86 與經由電晶體 Q7'、Q9' 傳送至電壓源端 VCC' 的量相當接近，增益的倍率因此介於高增益模式與低增益模式之間，稱之為一中間增益模式。此時可將第一開關裝置 83 與第二開關裝置 85 同時接通，使放大器 80 於該中間增益模式下的輸入阻抗  $Z_{in3}'$  仍維持不變 (與高/低增益模式下相同)，如此一來，放大器 80 可操作於三個不同之增益模式下 (高、低、中間) 仍維持固定之輸入阻抗  $Z_{in3}'$ 。由上可知，增益模式的數目並不限定，本發明之主要技術特徵在於，利用複數個電阻性負迴授電路，並設置對應之開關裝置，分別設置於不同的增益模式下之反饋訊號所行經之複數個路徑，如此一來，可利用操作這些電阻性負迴授電路與其對應之開關裝置，於每一特定之增益模式處理對應之反饋訊號，使得不同的增益模式下之放大器之輸入阻抗能保持定值。

請注意，上述圖五至圖七實施例之放大器主要應用於一無線通訊系統之接收器 (Receiver) 之中，作為一低雜訊放大器 (Low Noise Amplifier) 之用。綜上所述，本發明於複數個不同之增益模式下將一放大器之輸入阻抗



#### 五、發明說明 (15)

保持固定的方法可參閱圖九，圖九為本發明之一方法實施例之流程圖，其中此放大器中包含一輸入端、一增益電路、至少一開關裝置、複數個電阻性負迴授電路、以及一輸出端。本發明之流程包含有下列步驟：

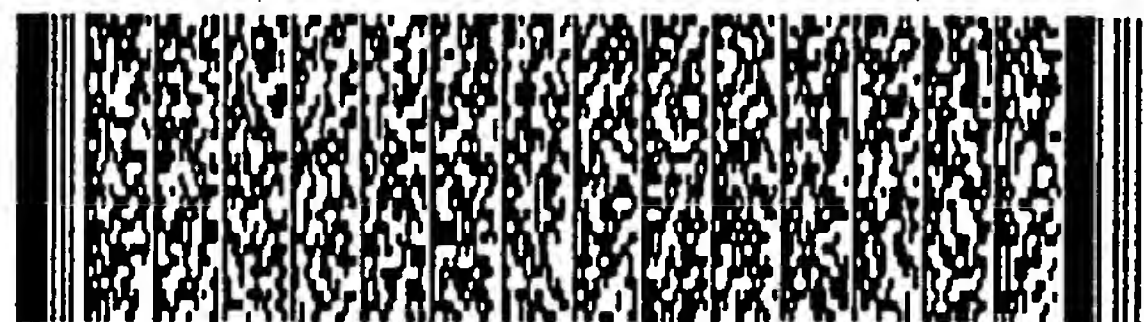
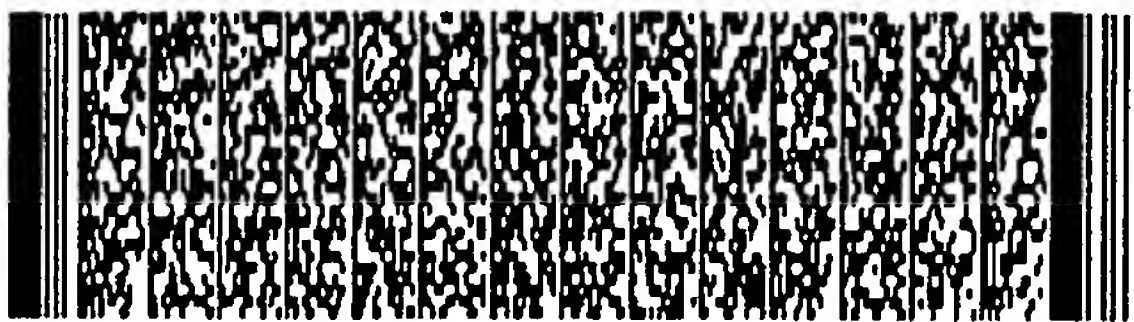
步驟 100：使用該輸入端接收一輸入訊號；

步驟 102：使用增益電路於不同的增益模式下將輸入訊號以一對應之增益倍率加以放大；

步驟 104：使用此複數個電阻性負迴授電路及至少一開關裝置將放大器之輸入阻抗於不同的增益模式下保持定值。較詳細的說明為操作該至少一開關裝置，於不同的增益模式下，使一反饋訊號經由至少一對應之電阻性負迴授電路反饋至輸入端，以使放大器之輸入阻抗於不同的增益模式下保持定值；

步驟 106：使用輸出端輸出經增益電路放大後的輸入訊號。

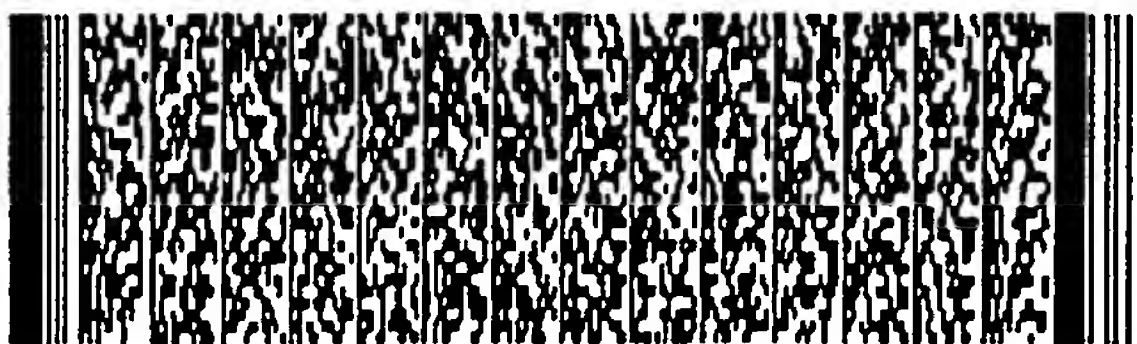
本發明之另一主要之技術特徵即為一差動 (Differential) 放大器之特性。本發明之差動放大器即包含本發明前述之技術特徵的兩個放大器 (如圖五至圖七之實施例)，其中一個作為正向放大器電路，另一個即作為負向放大器電路，而真正的輸出訊號即為兩個放大器輸出訊號的差值。請參閱圖十，圖十為本發明差動放大





##### 五、發明說明 (16)

器 100 之一實施例的功能方塊圖。差動放大器 100 包含一正向輸入端 102P、一負向輸入端 102N、一正向放大器電路 100P、一負向放大器電路 100N、一正向輸出端 106P、以及一負向輸出端 106N，差動放大器 100 另包含一輸入阻抗  $Z_{inD}$ 。正向輸入端 102P 用來接收一正向輸入訊號 SIP，負向輸入端 102N 用來接收一負向輸入訊號 SIN，正向放大器電路 100P 電連於正向輸入端 102P，而負向放大器電路 100N 電連於負向輸入端 102N。最後，正向輸出端 106P 電連於正向放大器電路 100P，用來輸出經正向放大器電路 100P 處理後的正向輸入訊號 SIP，而負向輸出端 106N 電連於負向放大器電路 100N，用來輸出經負向放大器電路 100N 處理後的負向輸入訊號 SIN。實際上，若將正向輸入端 102P、正向放大器電路 100P、以及正向輸出端 106P 一同視之，即可等同於上述本發明之一放大器（如圖五至圖七中之任一實施例），同理，負向輸入端 102N、負向放大器電路 100N、以及負向輸出端 106N 可合併視同本發明之一放大器。請參閱圖十一，圖十一為圖十差動放大器 100 之一詳細實施例的示意圖，圖十一之實施例即是將兩個圖六本發明之放大器 80 加以組合而成。該差動放大器之差動性能由正負向兩輸入信號之 180 度相位差之準確性決定，如果輸入信號之 180 度相位不準確，則會貢獻出共模信號 (Common mode signal) 影響差動特性。由圖可知，正向放大器電路 100P 包含有一正向增益電路 104P、複數個（二個）電阻性正向負迴授電路 110P、及複數個（二個）

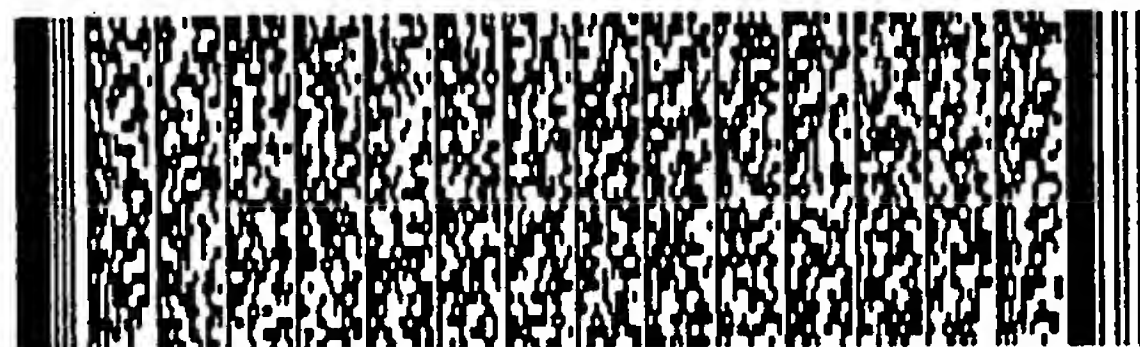




#### 五、發明說明 (17)

正向開關裝置 108P，正向增益電路 104P 用來於不同的增益模式下將正向輸入訊號 SIP 以一對應之增益倍率加以放大，而此複數個電阻性正向負迴授電路 110P 及正向開關裝置 108P 用來將正向放大器電路 100P 之輸入阻抗  $Z_{inP}$  於不同的增益模式下保持定值，完成本發明之技術特徵。負向放大器電路 100N 亦然，亦在一負向增益電路 104N 中，使用複數個 (二個) 電阻性負向負迴授電路 110N 將負向放大器電路 100N 之輸入阻抗  $Z_{inN}$  於不同的增益模式下保持定值。

由前述可知，正向放大器電路 100P 及負向放大器電路 100N 皆可在不同之增益模式下分別具有固定的輸入阻抗，因此，我們可將正向放大器電路 100P 及負向放大器電路 100N 以兩個完全相同之放大器完成，使兩者於不同之增益模式下具有相同之輸入阻抗 ( $Z_{inP} = Z_{inN}$ )。由於差動放大器 100 之 (整體) 輸入阻抗  $Z_{inD}$  係為正向放大器電路 100P 及負向放大器電路 100N 個別之輸入阻抗  $Z_{inP}$ 、 $Z_{inN}$  的數性組合 (Mathematical combination)，如此一來，差動放大器 100 之 (整體) 輸入阻抗  $Z_{inD}$  在不同之增益模式下則能維持固定不變，亦即，若差動放大器 100 中的每一放大器皆具有本發明固定輸入阻抗之技術特徵，則此差動放大器 100 亦具有本發明之固定輸入阻抗  $Z_{inD}$  之技術特徵。此外，由於差動放大器 100 是運作於差動模式 (Differential mode) 下，因此較一般單模 (Single-

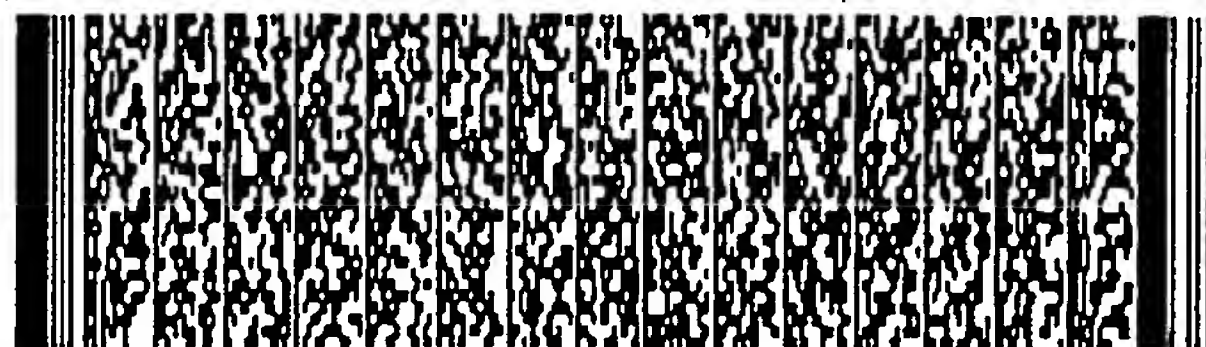
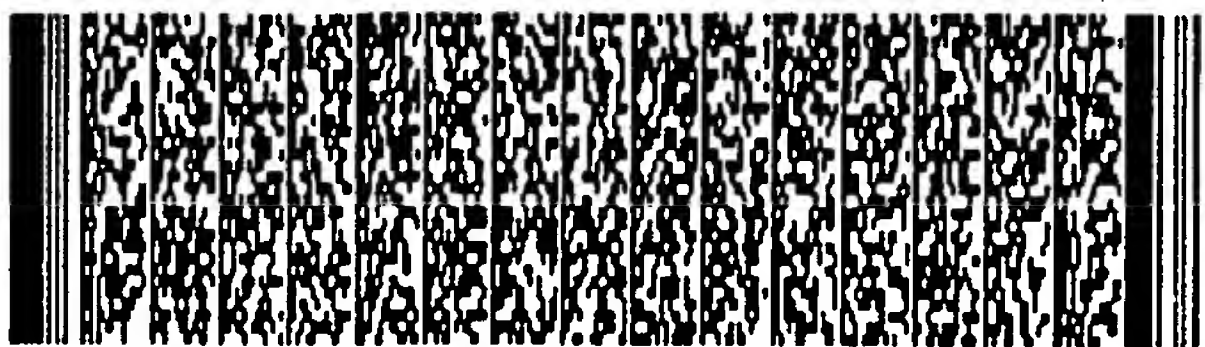


五、發明說明 (18)

ended Mode)放大器(如前述圖五至圖七之實施例)具有許多額外的優點，包含較不容易受到電磁干擾，也較不易干擾其他的電路，在接收器前端(Front-end)造成的IP2(2<sup>nd</sup> order Interception Point)會比較小，進而DC offset也可以減小，另外其頻率響應也較一般單模放大器寬廣。本發明之差動放大器可適用於一無線通訊系統之接收器之中，作為一低雜訊差動放大器(Low Noise Differential Amplifier)使用。

在本發明中，我們提出了一種具有固定輸入阻抗之放大器，其利用設置複數個電阻性負迴授電路及對應之開關裝置，以分別處理在不同的增益模式下之輸入信號，使得不同的增益模式下之放大器之輸入阻抗能夠維持定值，避免前級濾波器因阻抗不匹配而造成濾波響應的失真。此外，為利用差動模式下訊號處理的優勢，在本發明之實施例中，我們也提出了具有固定輸入阻抗之差動放大器的設計，可滿足通訊系統中不同應用的需求。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為一無線通訊系統之一接收器的功能方塊圖。  
圖二為圖一習知低雜訊放大器之一實施例之功能方塊圖。  
圖三為圖一習知低雜訊放大器之另一實施例之功能方塊圖。  
圖四為一簡易放大電路併同一電阻作為電阻式負迴授電路的示意圖。  
圖五為本發明放大器之一實施例的示意圖。  
圖六為本發明放大器之另一實施例的示意圖。  
圖七為圖六實施例之一詳細實施例的示意圖。  
圖八為圖七三偏壓之一實施例之列表。  
圖九為本發明之一方法實施例之流程圖。  
圖十為本發明差動放大器之一實施例的功能方塊圖。  
圖十一為圖十差動放大器之一詳細實施例的示意圖。

### 圖式之符號說明

10 接收器

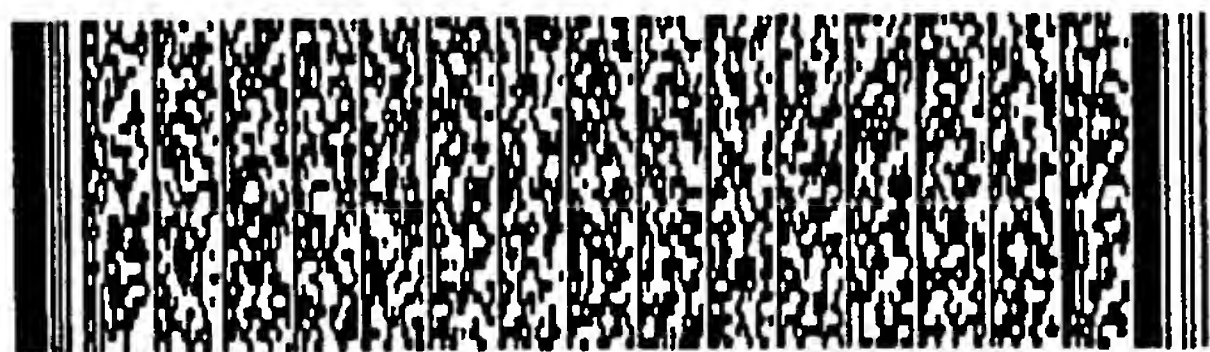
14 濾波器

18 混波裝置

12 天線

16 低雜訊放大器

20 區域震盪產生器





## 圖式簡單說明

22 訊號處理模組

32、52、62、82、102 輸入端

34、64、84、104 增益電路

36、56、66、86、106 輸出端

38 電感性負迴授電路

40、110 電阻性負迴授電路

50 簡易放大電路 60、80 放大器

67、87 高增益電阻性負迴授電路

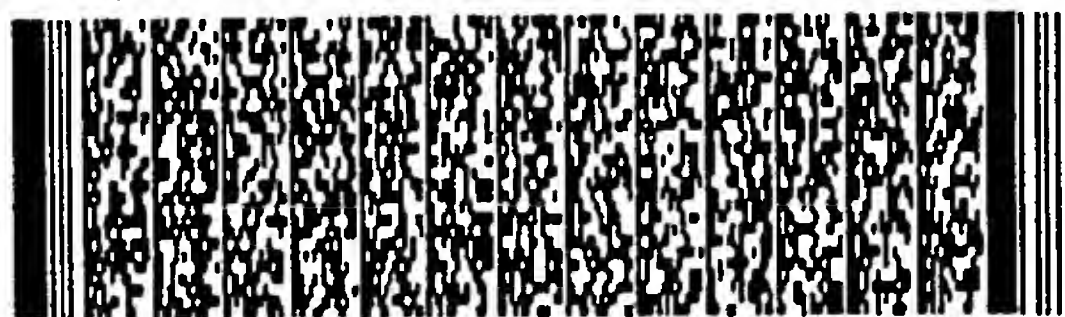
68、108 開關裝置

69、89 低增益電阻性負迴授電路

83 第一開關裝置

85 第二開關裝置

100 差動放大器



## 六、申請專利範圍

1. 一種具有固定輸入阻抗之放大器 (Amplifier)，其可操作於複數個不同之增益 (Gain) 模式下，該放大器包含有：

一輸入端，用來接收一輸入訊號；

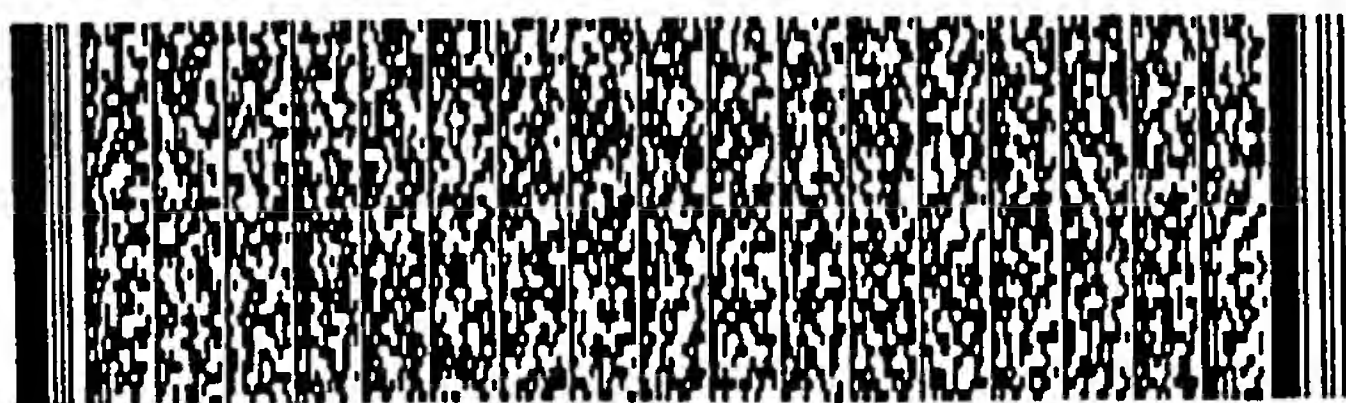
一增益電路，用來於不同的增益模式下將該輸入訊號以一對應之增益倍率加以放大；

複數個電阻性負迴授電路 (Resistive Negative Feedback Circuit)，電連於該輸入端及該增益電路，用來將該放大器之輸入阻抗於不同的增益模式下保持定值；以及

一輸出端，用來輸出經該增益電路放大後的輸入訊號。

2. 如申請專利範圍第 1 項之放大器，其中於每一增益模式下，一反饋訊號會經由至少一對應之電阻性負迴授電路反饋到該輸入端，使該放大器之輸入阻抗於不同的增益模式下保持定值。

3. 如申請專利範圍第 2 項之放大器，其另包含一至少開關裝置 (Switch device)，電連於至少一預設之電阻性負迴授電路，用來依據不同的增益模式決定該反饋訊號是否經由該至少一預設之電阻性負迴授電路反饋至該輸入端。



#### 六、申請專利範圍

4. 如申請專利範圍第1項之放大器，其中該增益電路包含複數個雙載子連接電晶體 (bipolar junction transistor, BJT) 或複數個金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體。

5. 如申請專利範圍第1項之放大器，其中該複數個電阻性負迴授電路係分別為一電阻電連一電容。

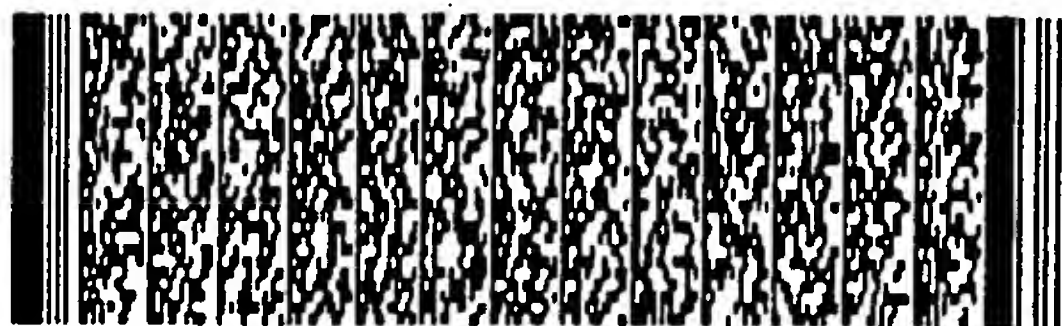
6. 如申請專利範圍第1項之放大器，其為一低雜訊放大器 (Low Noise Amplifier)。

7. 如申請專利範圍第6項之放大器，其係應用於一無線通訊系統之接收器 (Receiver) 之中。

8. 一種用於一放大器 (Amplifier) 中，於複數個不同之增益 (Gain) 模式下將該放大器之輸入阻抗保持固定的方法，該放大器包含一增益電路以及複數個電阻性負迴授電路 (Resistive Negative Feedback Circuit)，該方法包含有：

使用該增益電路將該放大器於不同的增益模式下切換；以及

使用該複數個電阻性負迴授電路將該放大器之輸入阻抗於不同的增益模式下保持定值。





## 六、申請專利範圍

9. 如申請專利範圍第8項所述之方法，其中該放大器另包含一輸入端及一輸出端，該方法另包含有：

使用該輸入端接收一輸入訊號；

使用該增益電路於不同的增益模式下將該輸入訊號以一對應之增益倍率加以放大；

於不同的增益模式下使一反饋訊號經由至少一對應之電阻性負迴授電路反饋至該輸入端，以使該放大器之輸入阻抗於不同的增益模式下保持定值，其中該反饋訊號係相關於該輸入訊號；以及

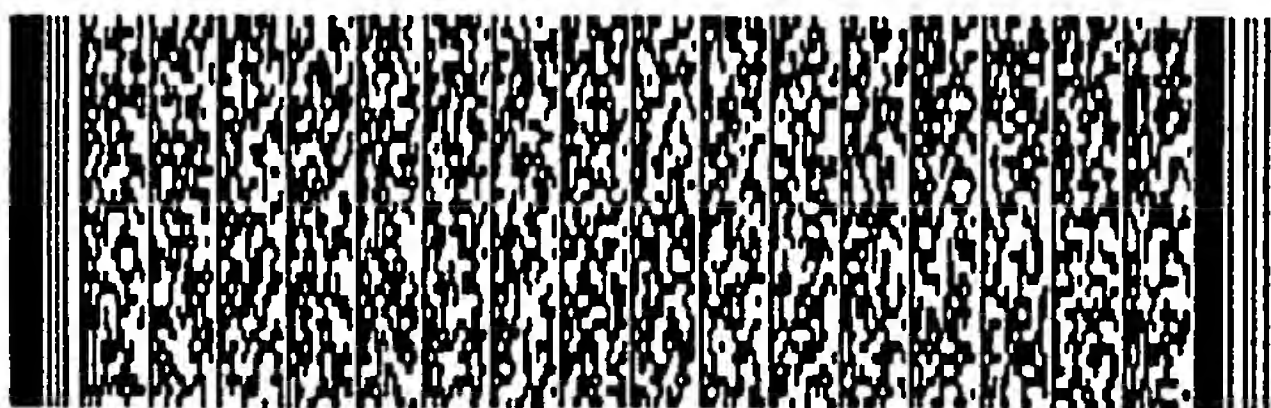
使用該輸出端輸出經該增益電路放大後的該輸入訊號。

10. 如申請專利範圍第9項所述之方法，其中該放大器另包含一開關裝置 (Switch device)，電連於一預設之電阻性負迴授電路，該方法另包含有：

依據不同的增益模式開啟或關閉該開關裝置，以決定該反饋訊號是否經由該預設之電阻性負迴授電路反饋至該輸入端。

11. 如申請專利範圍第9項所述之方法，其中該放大器另包含複數個開關裝置，分別電連於該複數個電阻性負迴授電路，每一開關裝置係對應於一電阻性負迴授電路，該方法另包含有：

於每一增益模式下開啟至少一開關裝置，使該反饋



#### 六、申請專利範圍

訊號經由該對應之電阻性負迴授電路反饋至該輸入端。

12. 如申請專利範圍第8項所述之方法，其中該複數個電阻性負迴授電路係分別為一電阻電連一電容。

13. 如申請專利範圍第8項所述之方法，其中該放大器係為一低雜訊放大器 (Low Noise Amplifier)。

14. 一種具有固定輸入阻抗之差動放大器 (Differential Amplifier)，其可操作於複數個不同之增益 (Gain) 模式下，該差動放大器包含有：

一正向輸入端，用來接收一正向輸入訊號；

一負向輸入端，用來接收一負向輸入訊號；

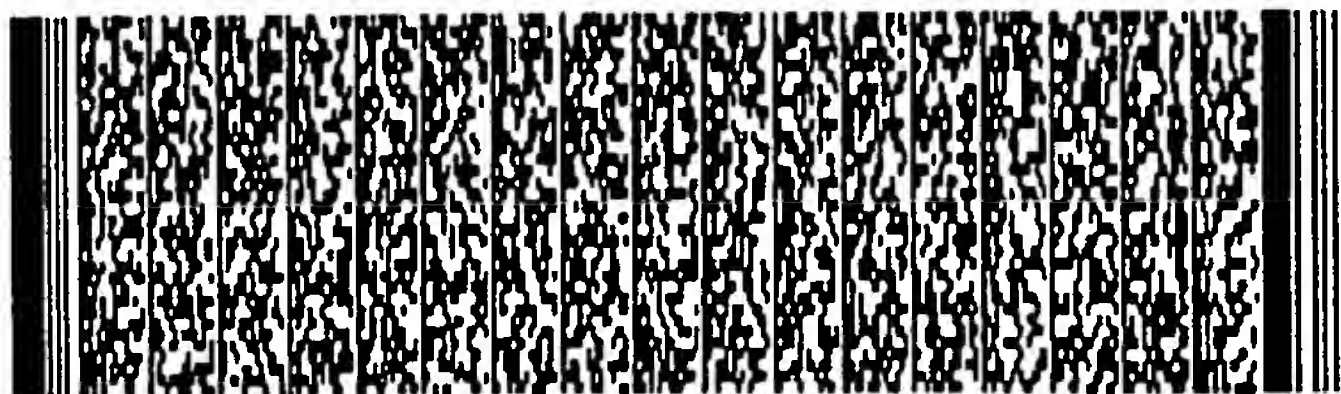
一正向放大器電路，電連於該正向輸入端，該正向放大器電路包含有：

一正向增益電路，用來於不同的增益模式下將一正向輸入訊號以一對應之增益倍率加以放大；以及

複數個電阻性正向負迴授電路 (Resistive Negative Feedback Circuit)，用來將該正向放大器電路之輸入阻抗於不同的增益模式下保持定值；以及

一負向放大器電路，電連於該負向輸入端，該負向放大器電路包含有：

一負向增益電路，用來於不同的增益模式下將一負向輸入訊號以一對應之增益倍率加以放大；以及



#### 六、申請專利範圍

複數個電阻性負向負迴授電路，用來將該負向放大器電路之輸入阻抗於不同的增益模式下保持定值；

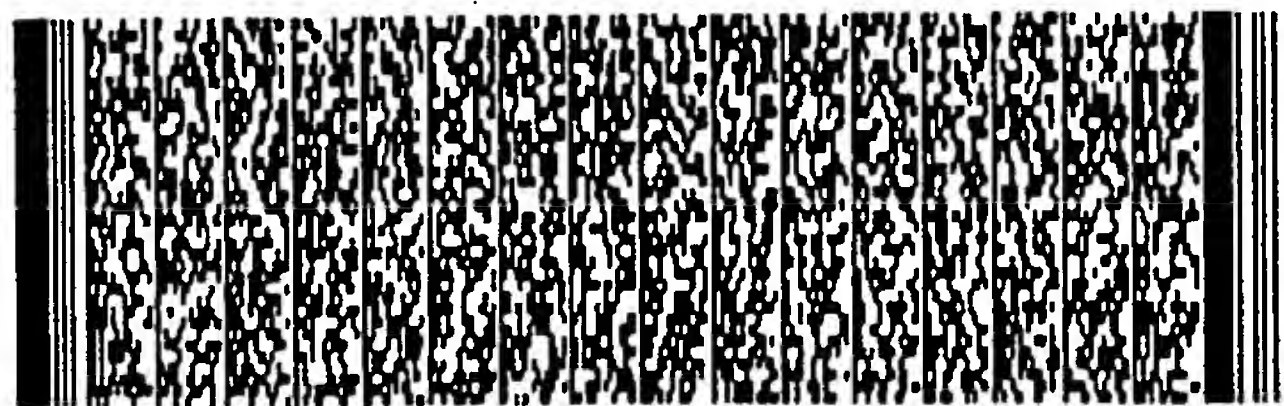
一正向輸出端，電連於該正向放大器電路，用來輸出經處理後的該正向輸入訊號；以及

一負向輸出端，電連於該負向放大器電路，用來輸出經處理後的該負向輸入訊號。

15. 如申請專利範圍第14項之差動放大器，其中該正向放大器電路及該負向放大器電路具有相同之輸入阻抗，該差動放大器之輸入阻抗係為該正向放大器電路及該負向放大器電路之輸入阻抗的數性組合 (Mathematical combination)。

16. 如申請專利範圍第14項之差動放大器，其中於每一增益模式下，於該正向放大器電路中，一正向反饋訊號會經由至少一對應之電阻性正向負迴授電路反饋至該正向輸入端，使該正向放大器電路之輸入阻抗於不同的增益模式下保持定值。

17. 如申請專利範圍第16項之差動放大器，其中該正向放大器電路另包含至少一開關裝置 (Switch device)，電連於至少一預設之電阻性正向負迴授電路，用來依據不同的增益模式決定該正向反饋訊號是否經由該至少一預設之電阻性正向負迴授電路反饋至該正向輸入端。





## 六、申請專利範圍

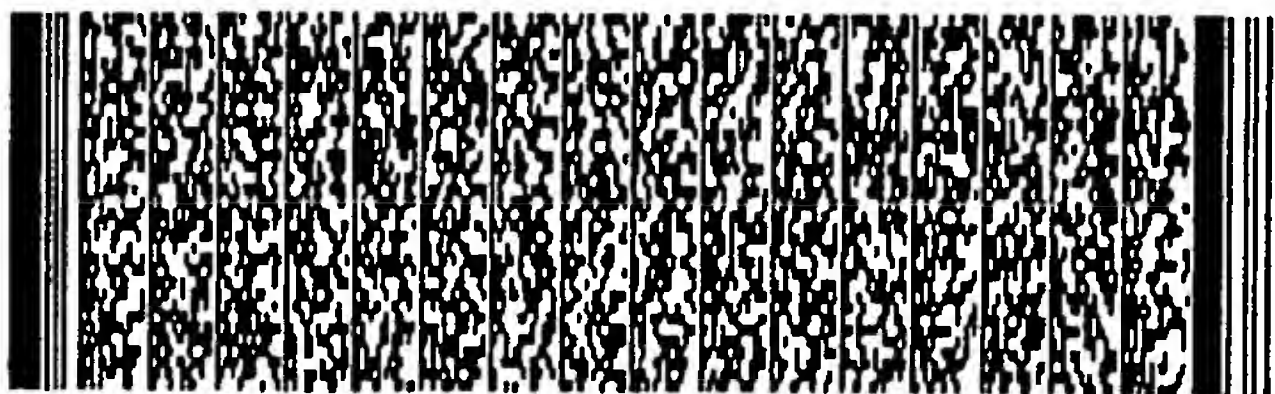
18. 如申請專利範圍第16項之差動放大器，其中於該正向放大器電路中，該複數個電阻性正向負迴授電路係分別為一電阻電連一電容。

19. 如申請專利範圍第14項之差動放大器，其中於每一增益模式下，於該負向放大器電路中，一負向反饋訊號會經由至少一對應之電阻性負向負迴授電路反饋至該負向輸入端，使該負向放大器電路之輸入阻抗於不同的增益模式下保持定值。

20. 如申請專利範圍第19項之差動放大器，其中該負向放大器電路另包含至少一開關裝置 (Switch device)，電連於至少一預設之電阻性負向負迴授電路，用來依據不同的增益模式決定該負向反饋訊號是否經由該至少一預設之電阻性負向負迴授電路反饋至該負向輸入端。

21. 如申請專利範圍第19項之差動放大器，其中於該負向放大器電路中，該複數個電阻性負向負迴授電路係分別為一電阻電連一電容。

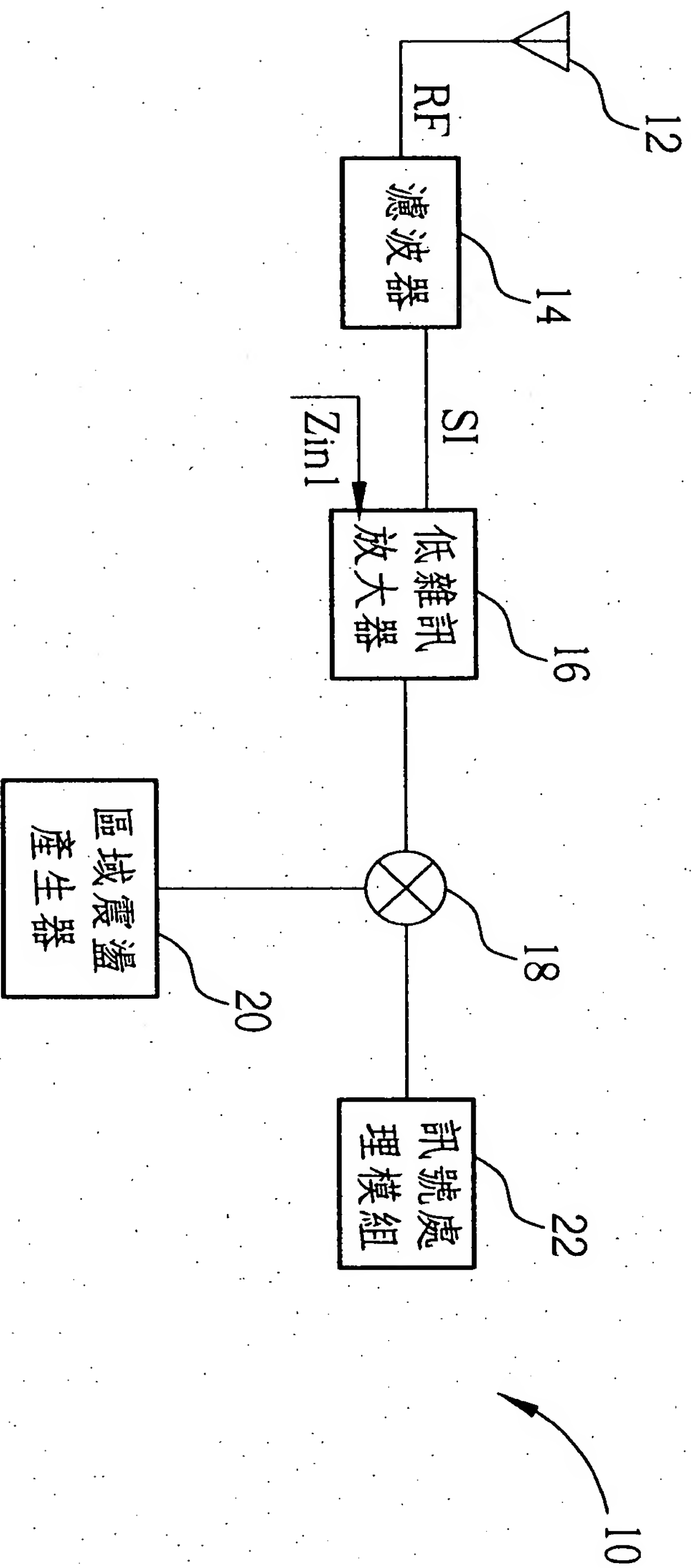
22. 如申請專利範圍第14項之差動放大器，其係為一低雜訊差動放大器 (Low Noise Differential Amplifier)，可適用於一無線通訊系統之接收器



六、申請專利範圍

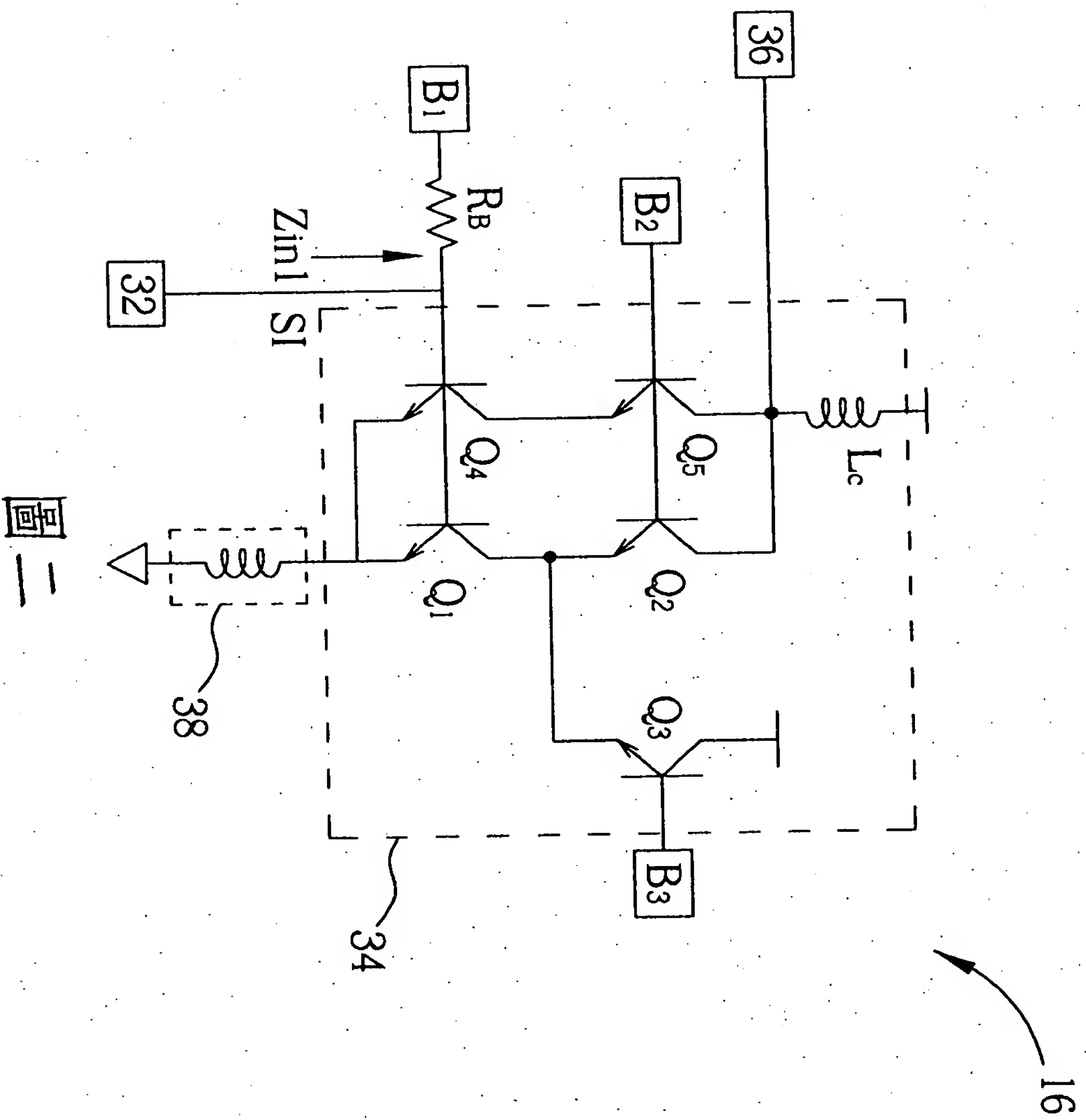
(Receiver)之 中。



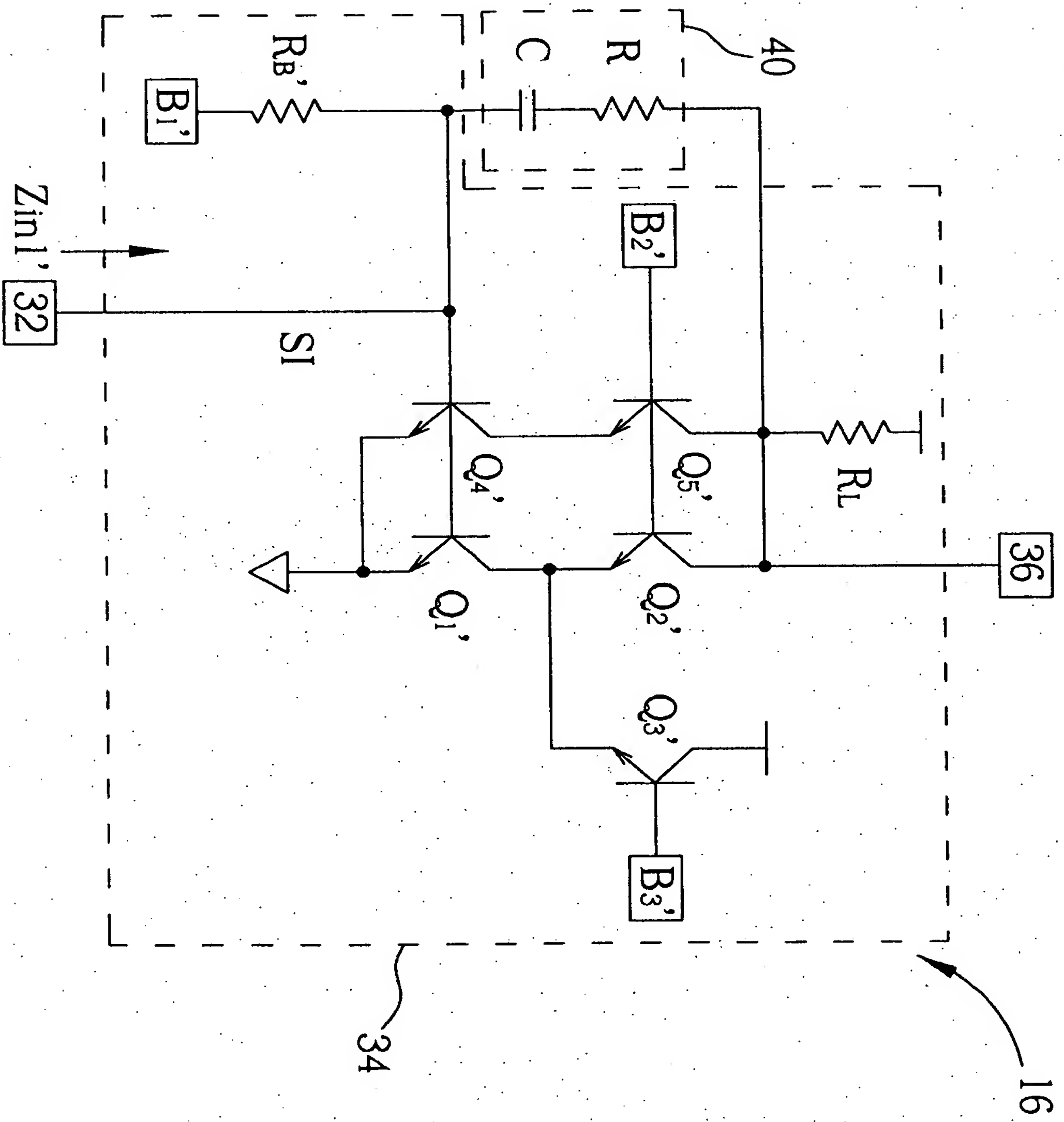


圖一

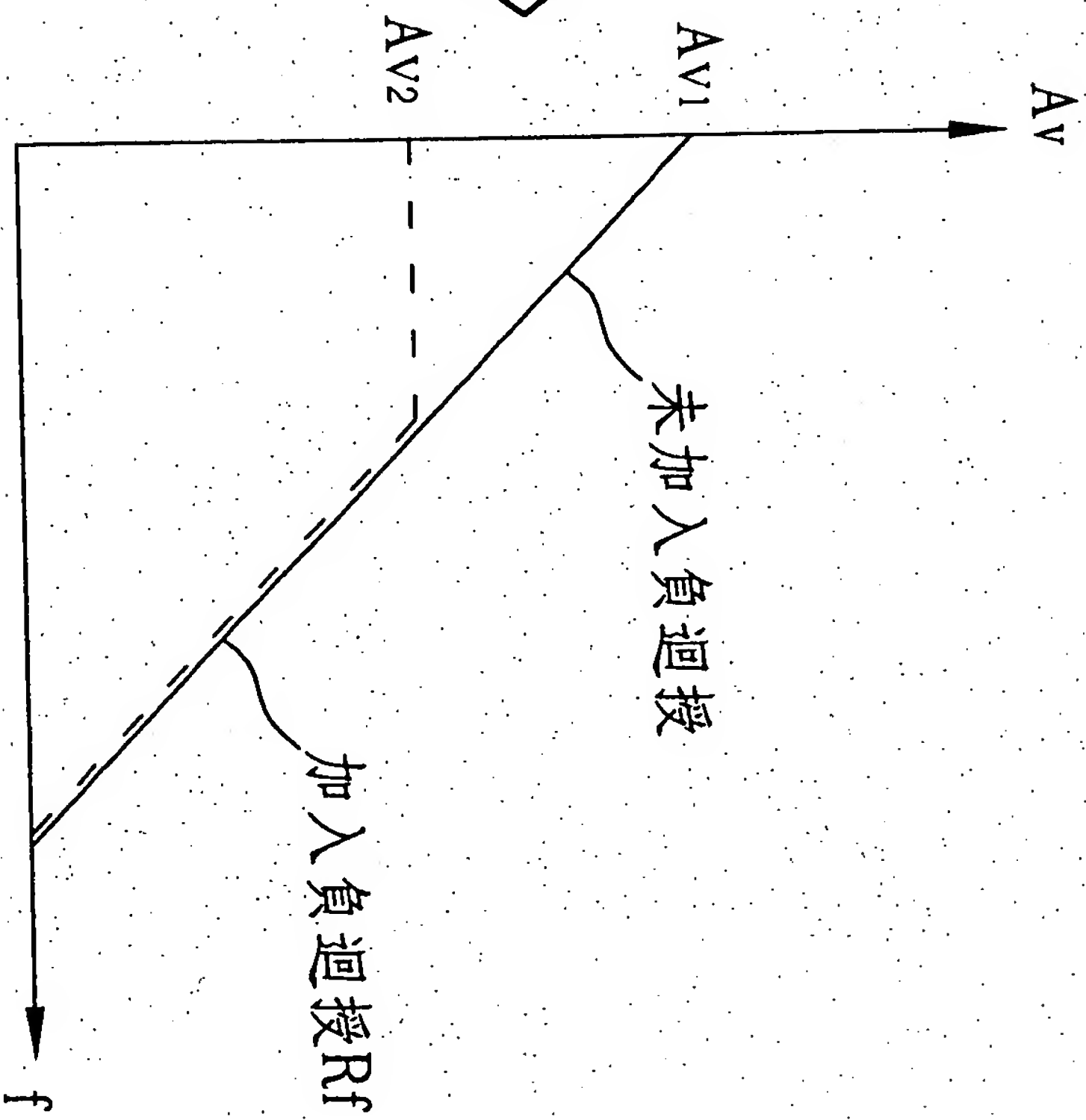
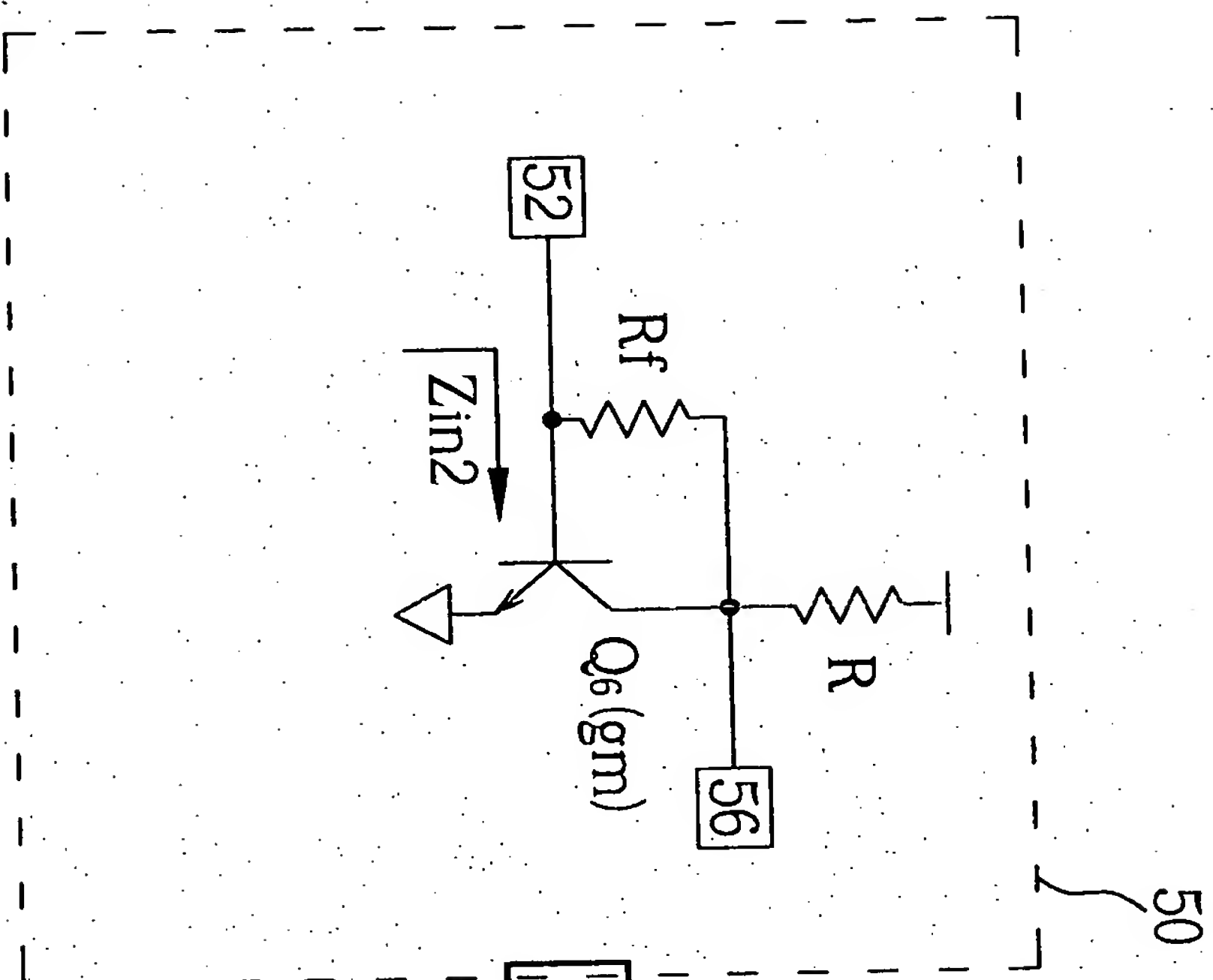




回回



圖三

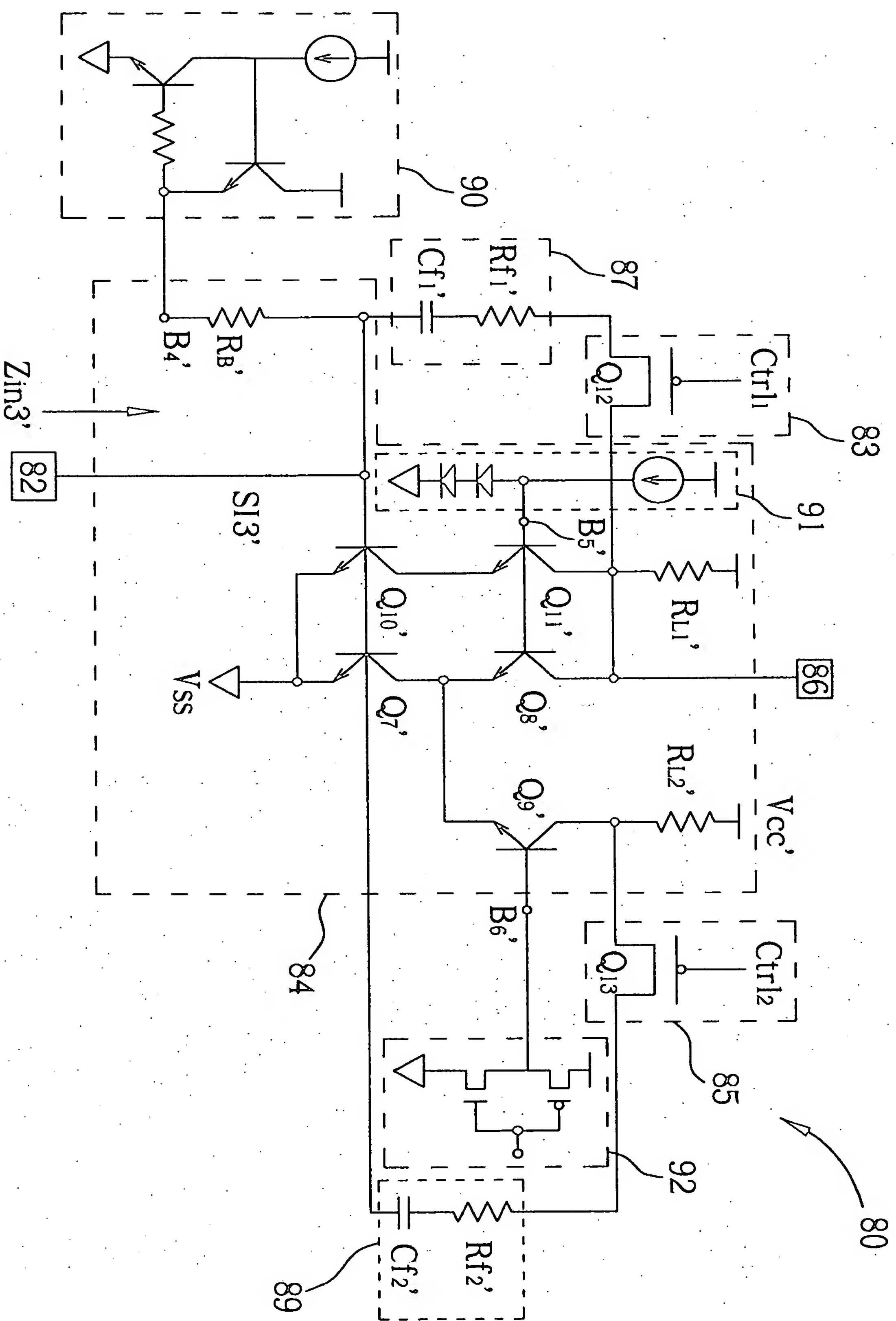


圖四







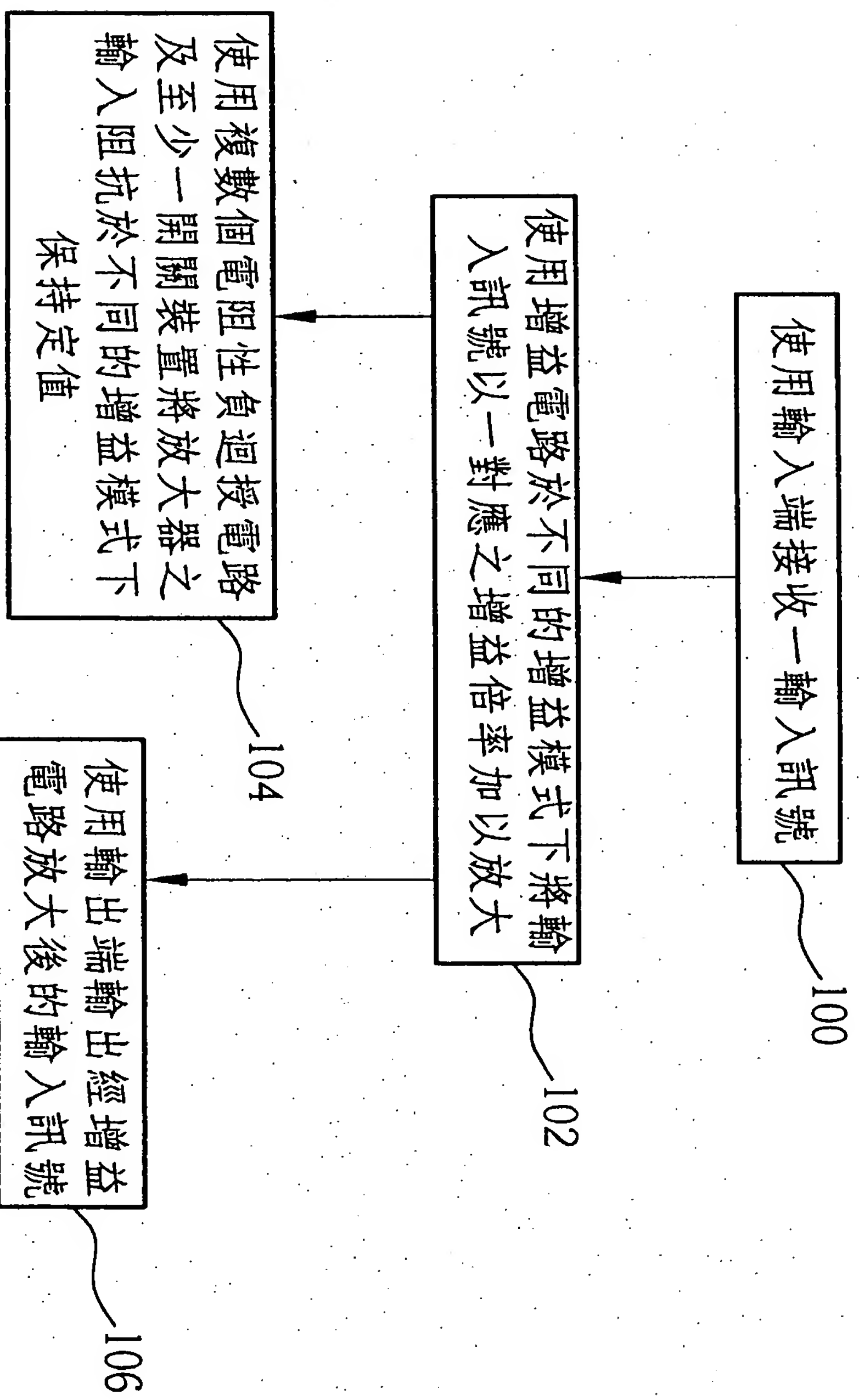


圖七

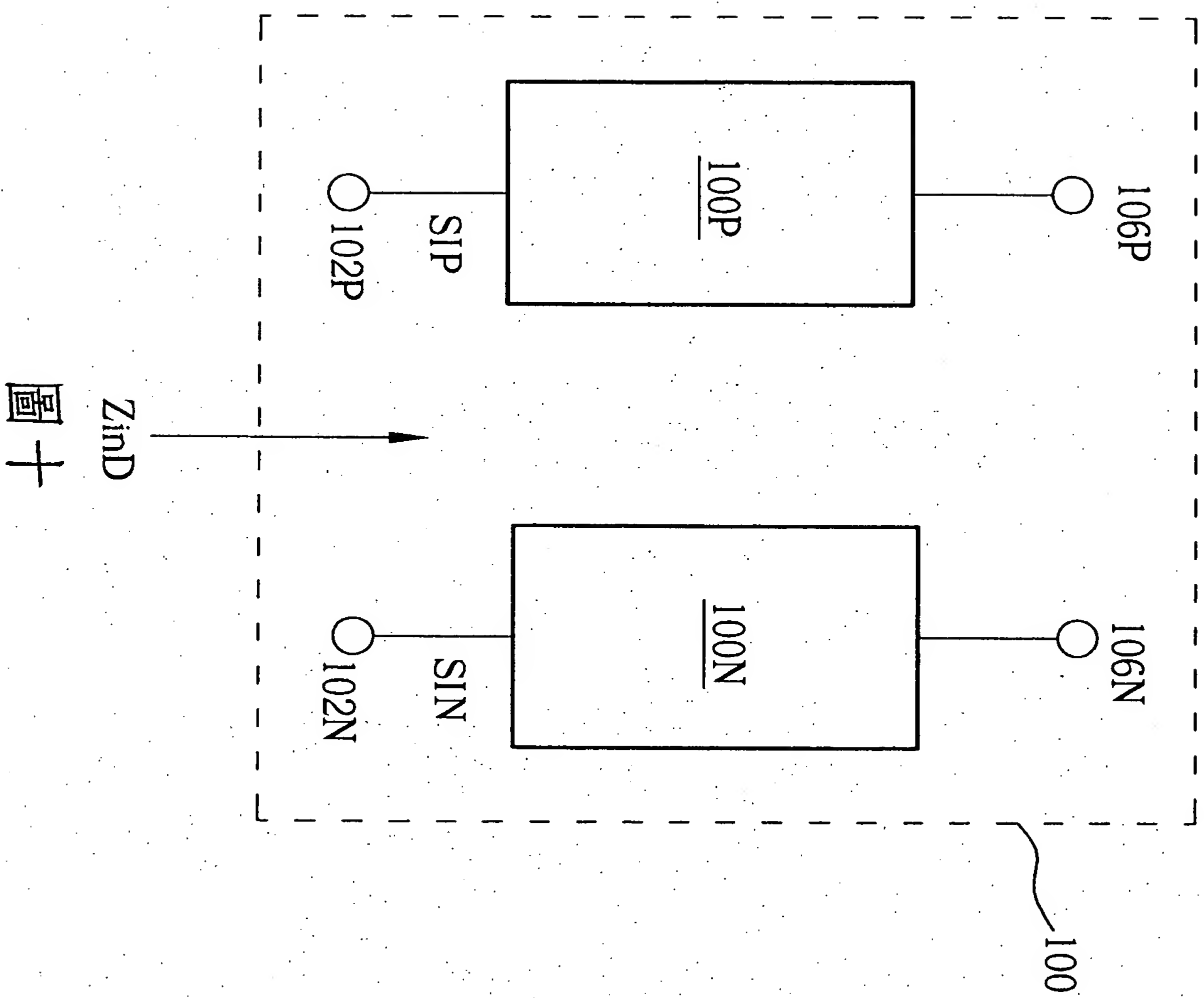


增益 模式	偏壓 $B_5'$	偏壓 $B_6'$
高增益 模式	1.6V	0V
中間增 益模式	1.6V	1.6V
低增益 模式	1.6V	2.7V

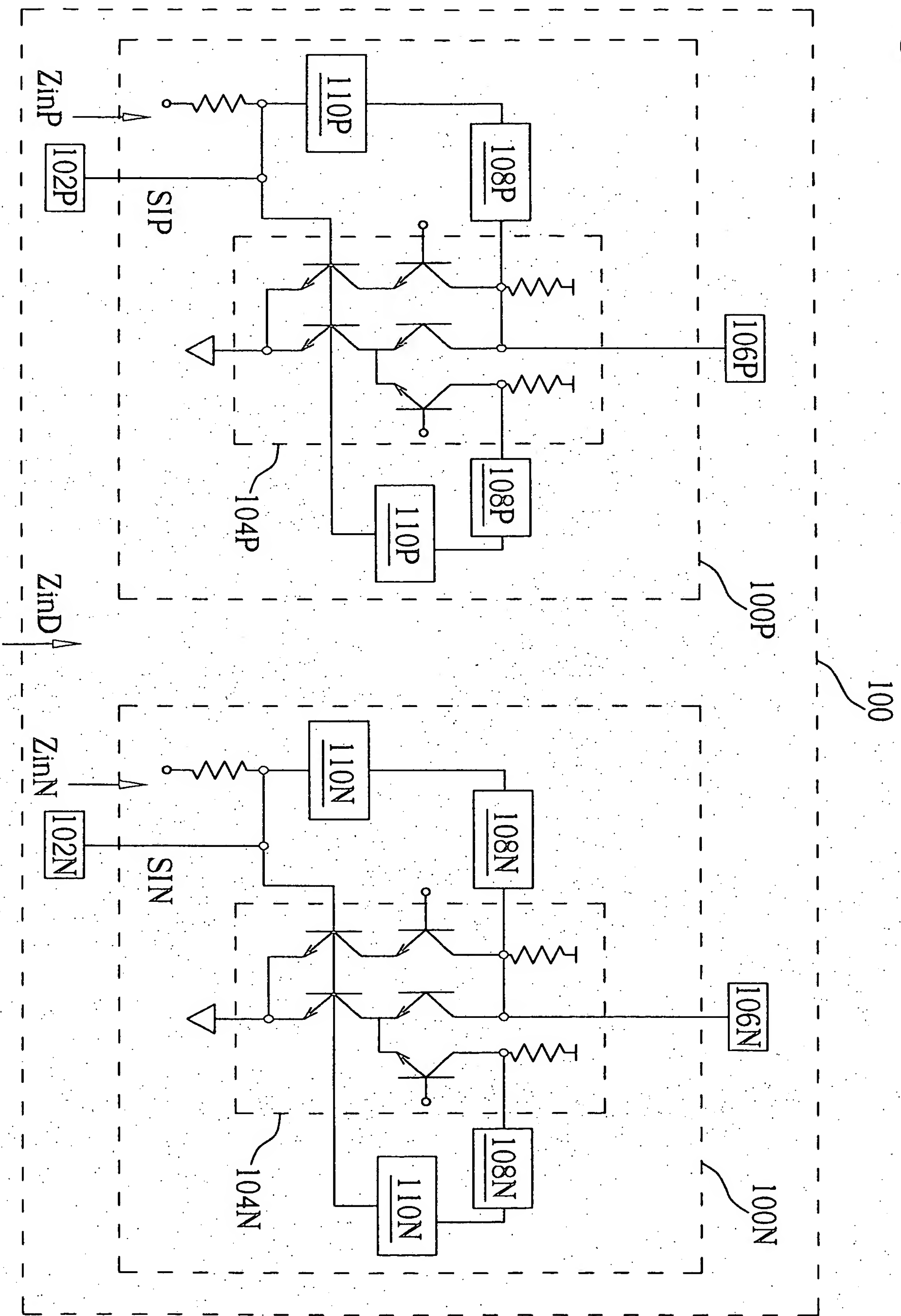
圖八



圖九



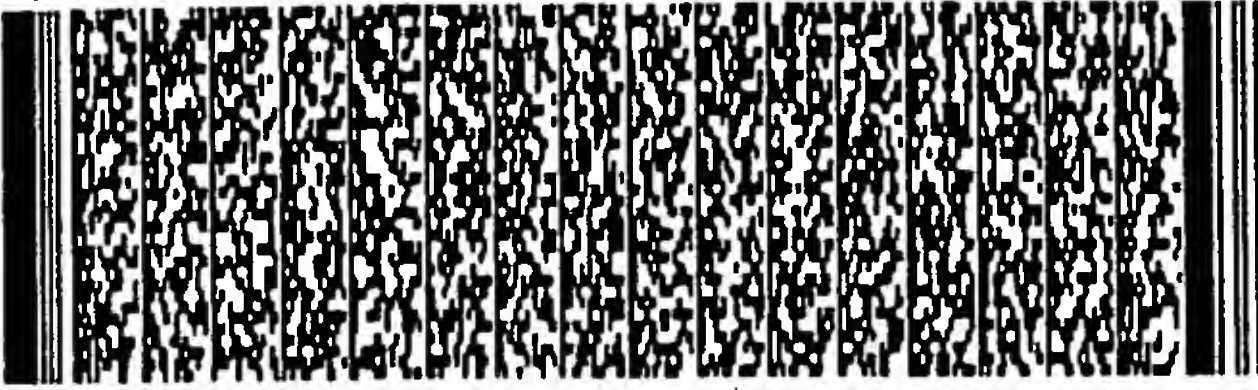
圖十



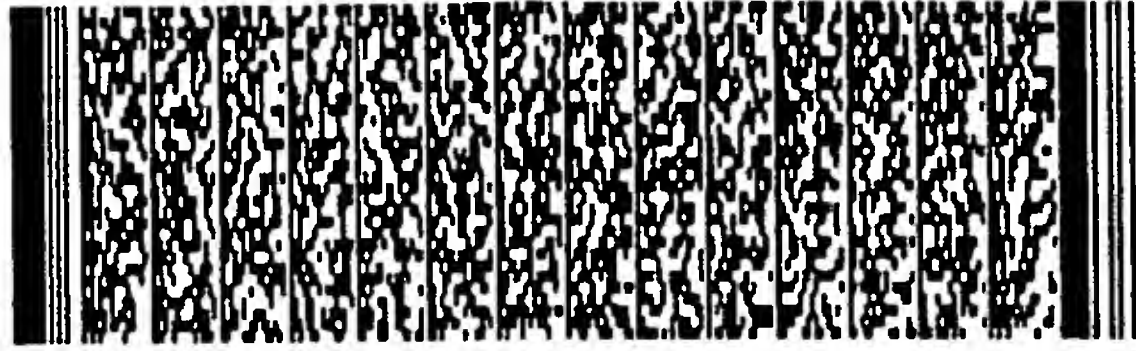
圖十一



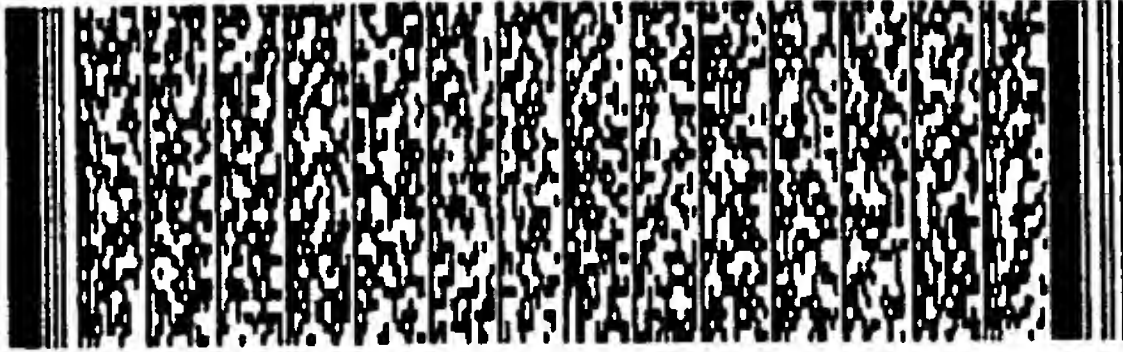
第 1/31 頁



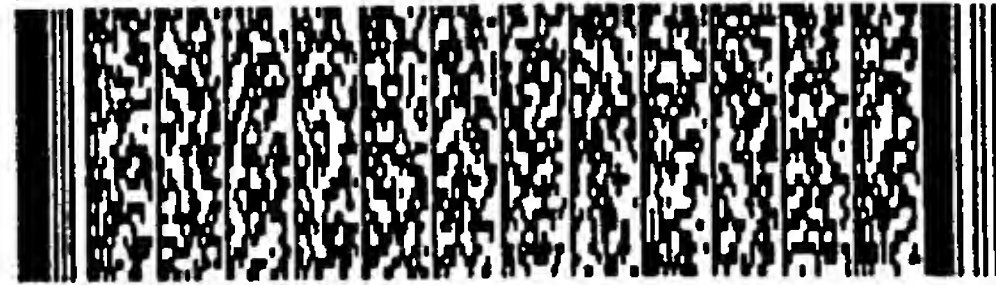
第 2/31 頁



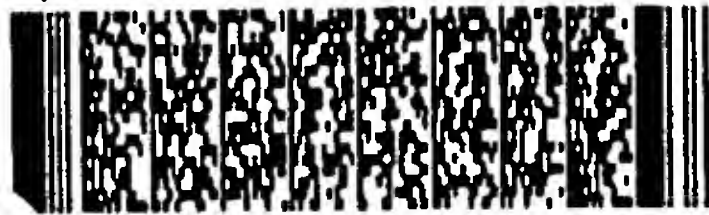
第 2/31 頁



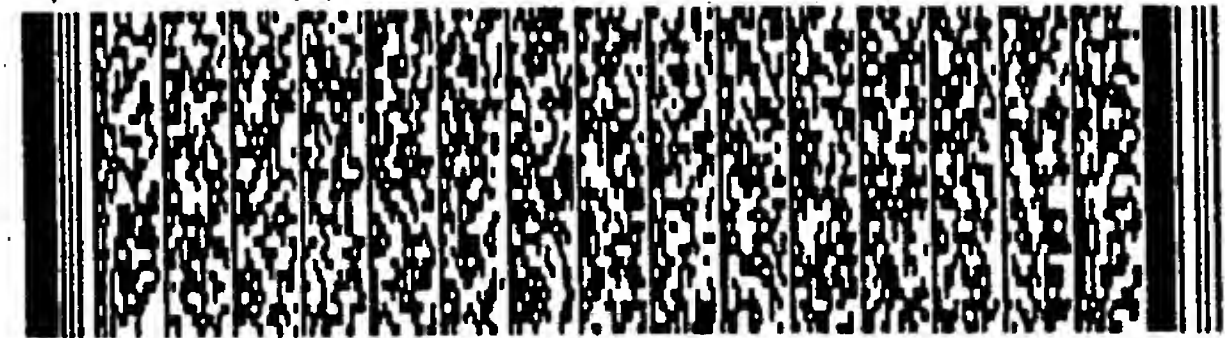
第 3/31 頁



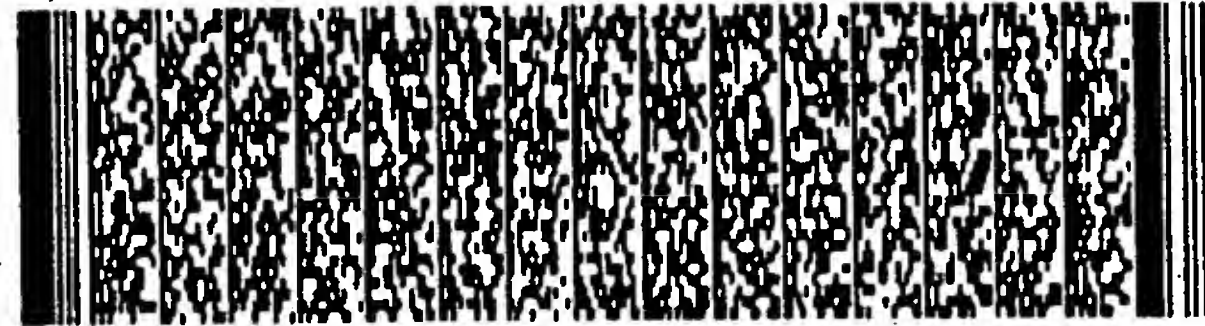
第 4/31 頁



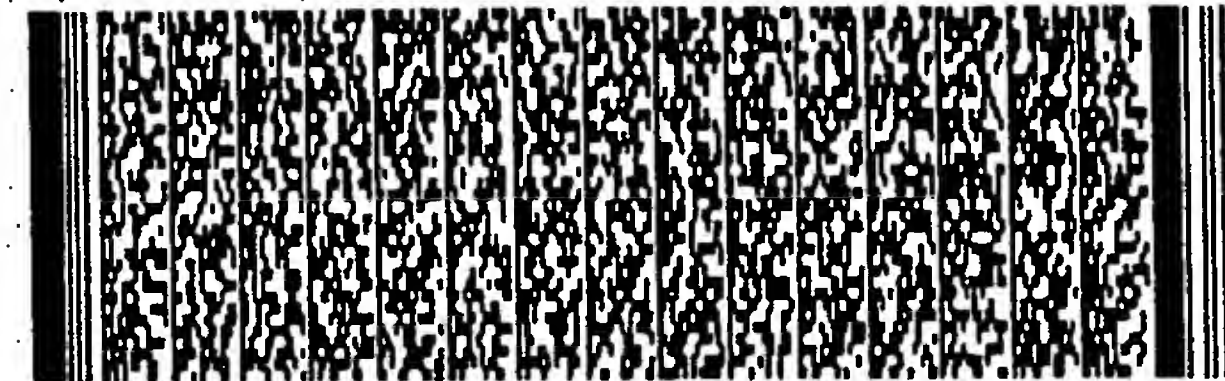
第 5/31 頁



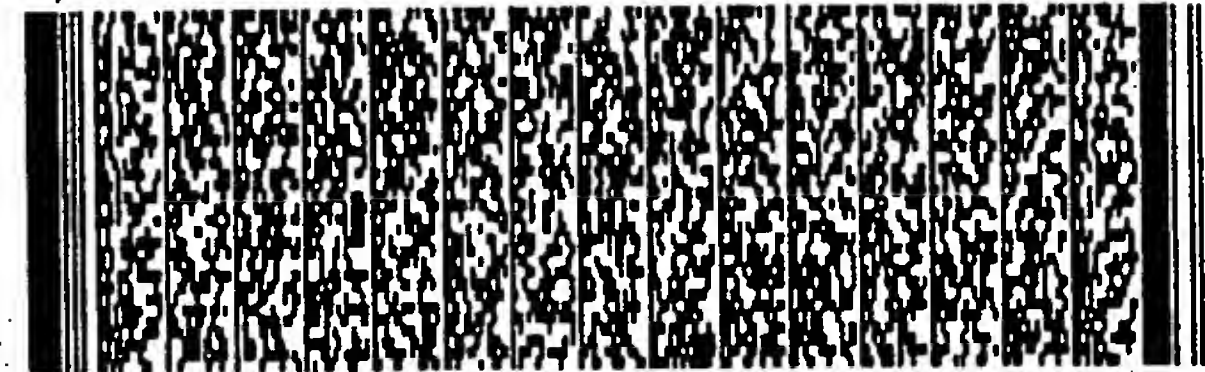
第 5/31 頁



第 6/31 頁



第 6/31 頁



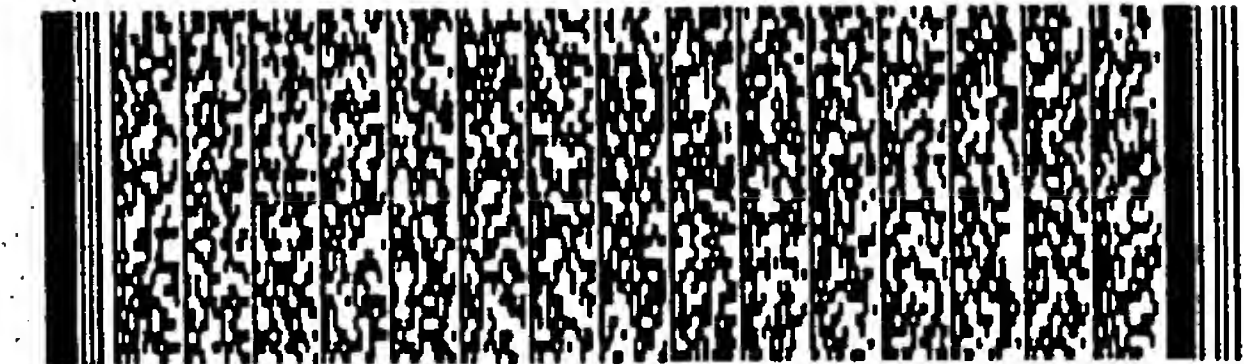
第 7/31 頁



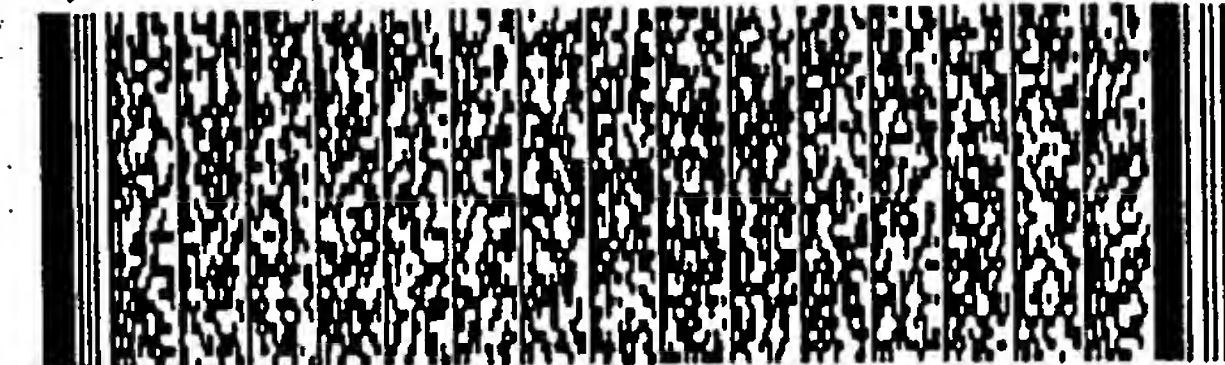
第 7/31 頁



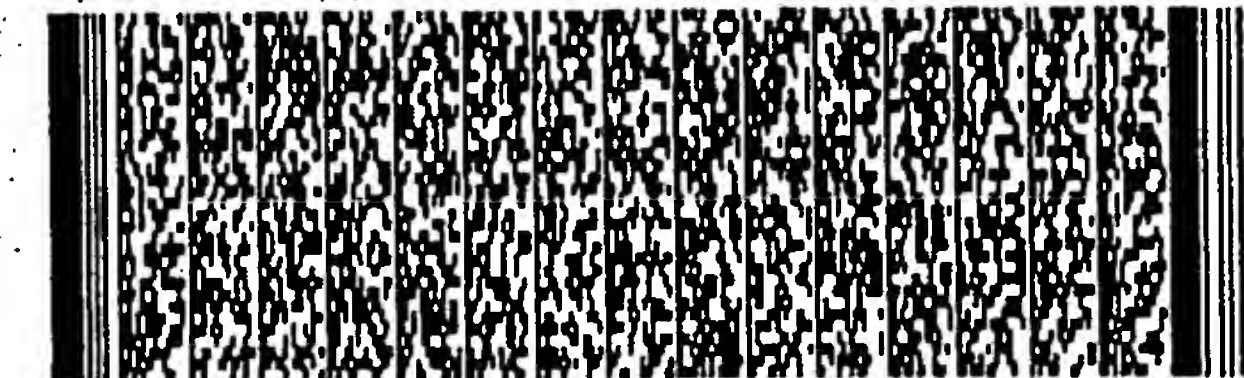
第 8/31 頁



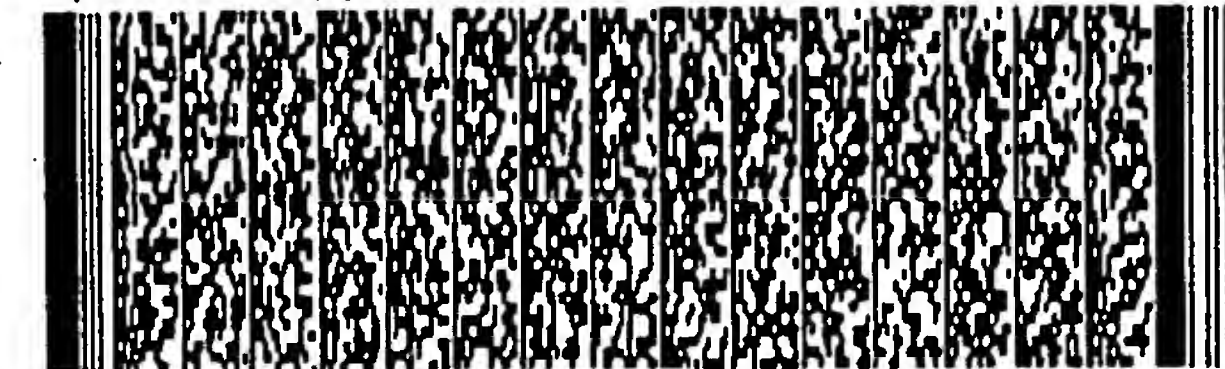
第 8/31 頁



第 9/31 頁



第 9/31 頁



第 10/31 頁

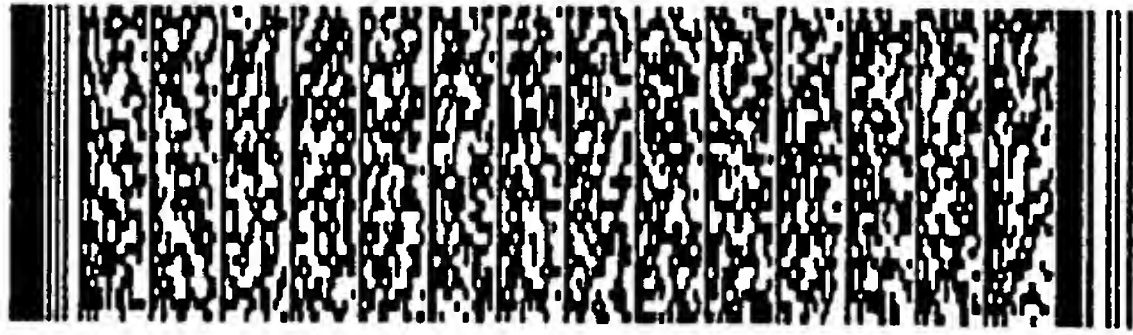




第 10/31 頁



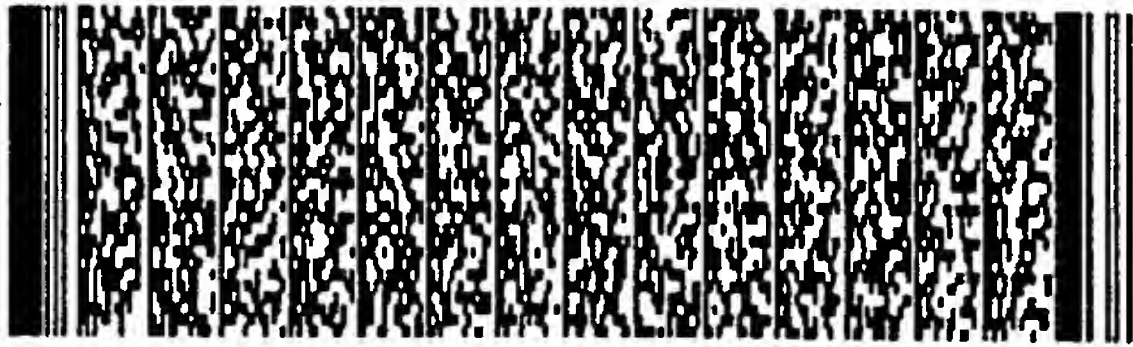
第 11/31 頁



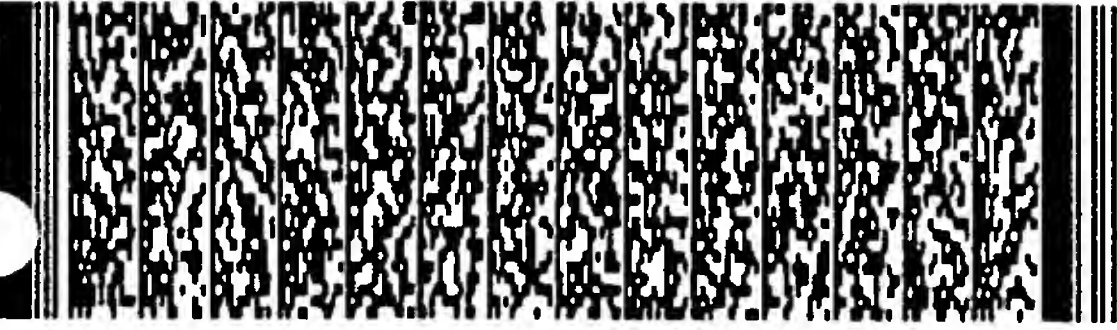
第 11/31 頁



第 12/31 頁



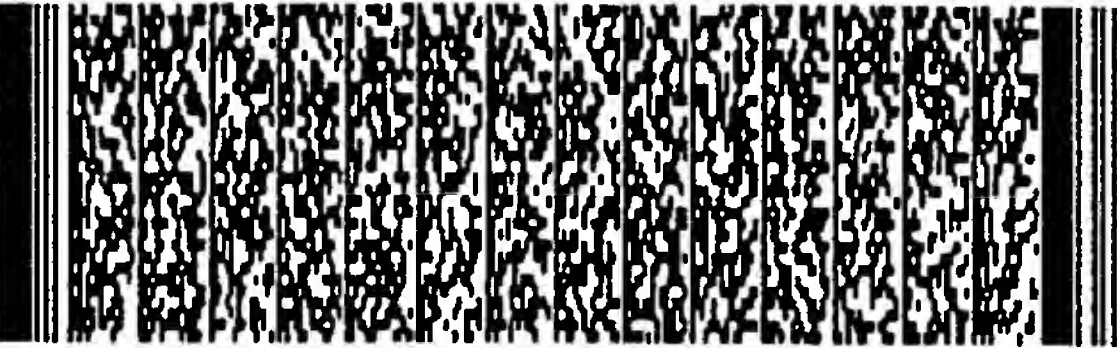
第 12/31 頁



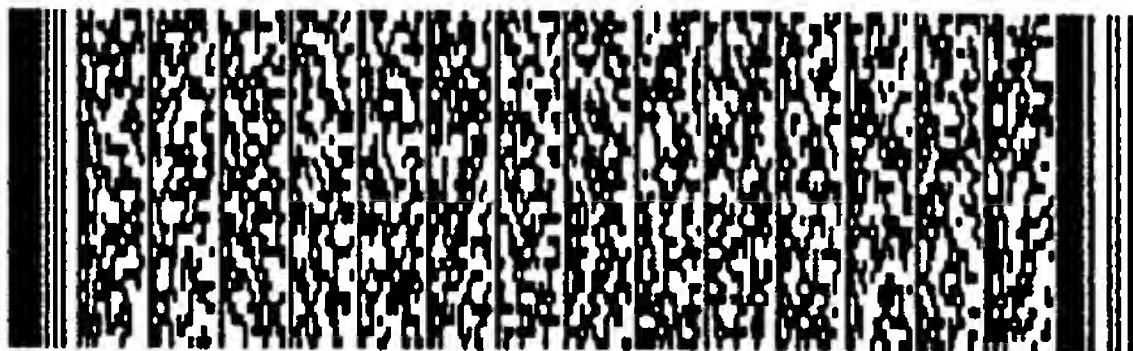
第 13/31 頁



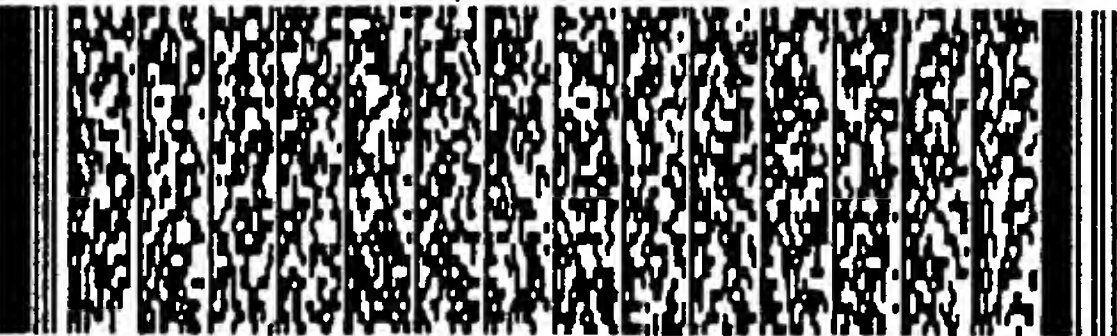
第 14/31 頁



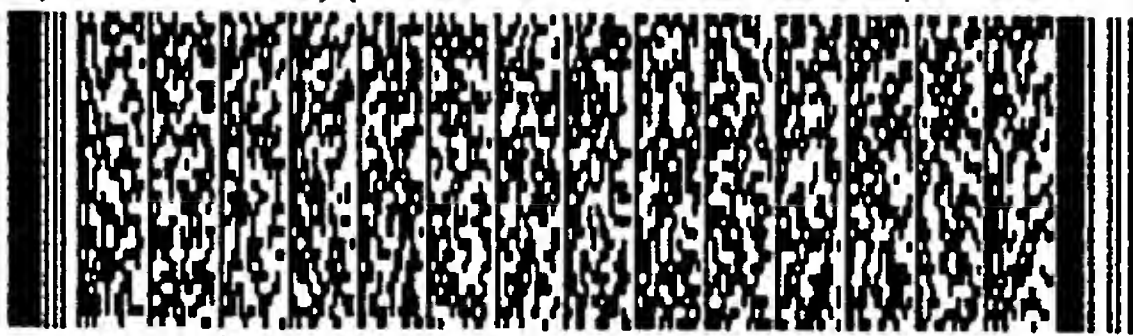
第 14/31 頁



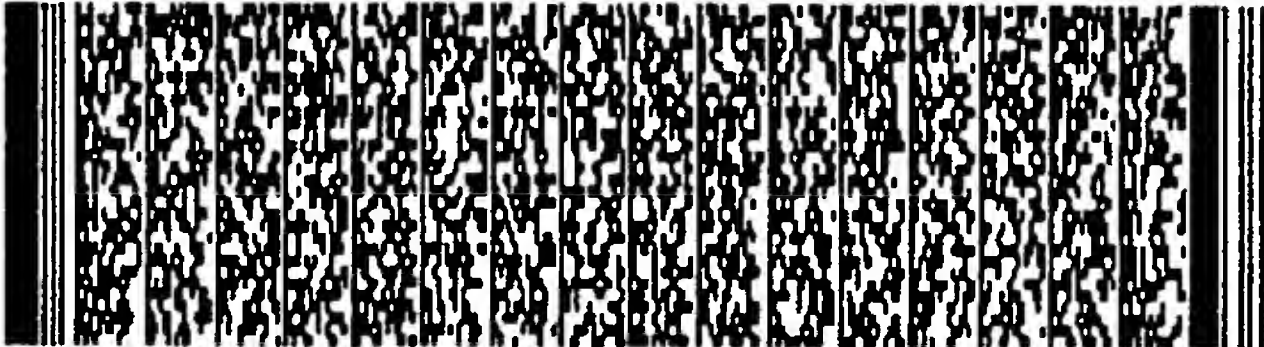
第 15/31 頁



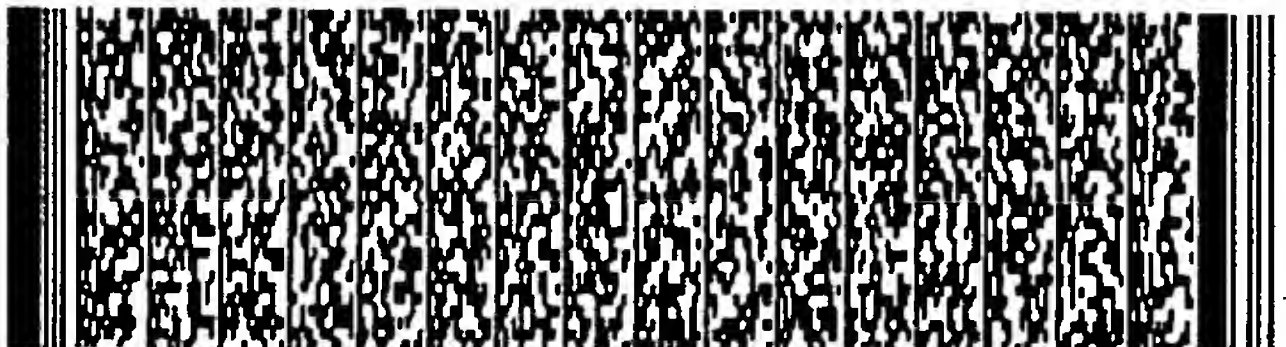
第 15/31 頁



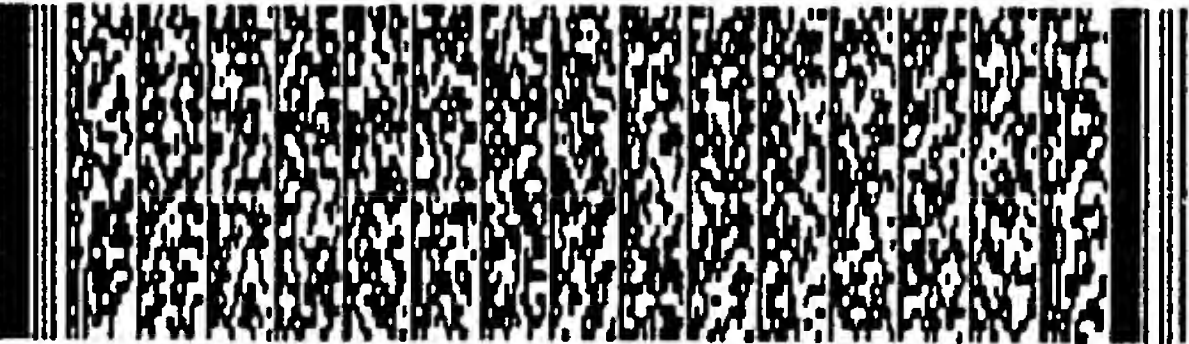
第 16/31 頁



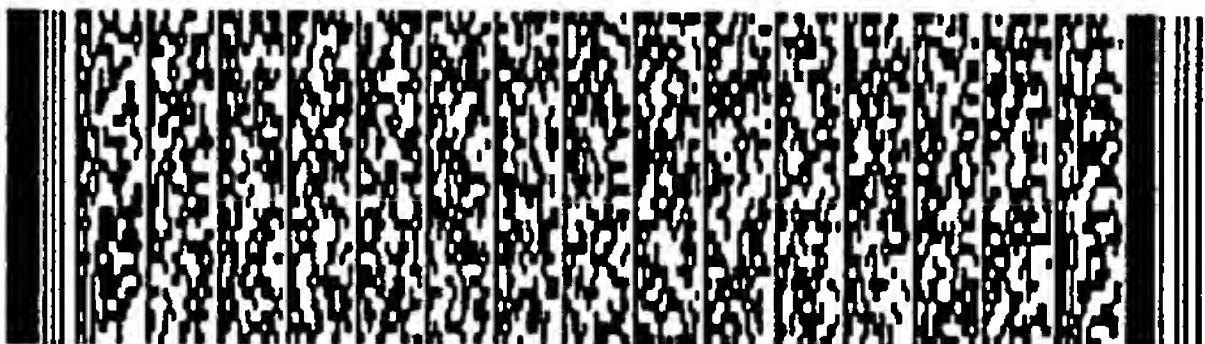
第 16/31 頁



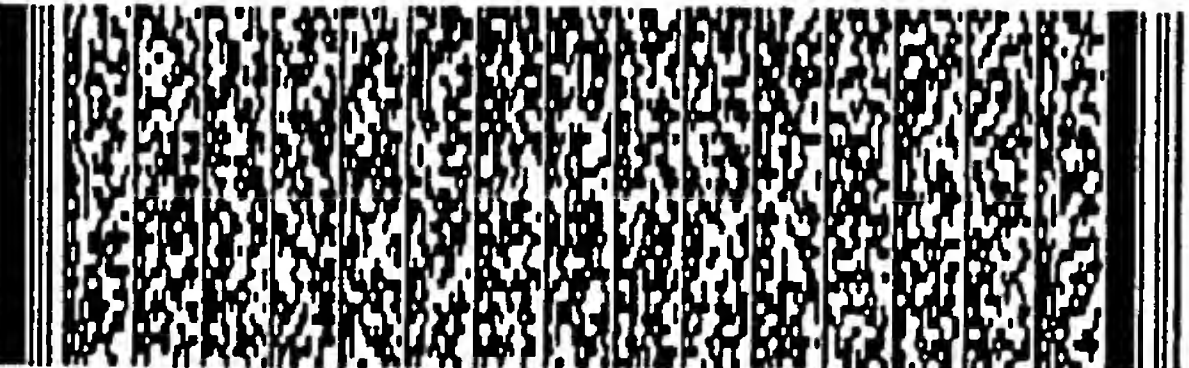
第 17/31 頁



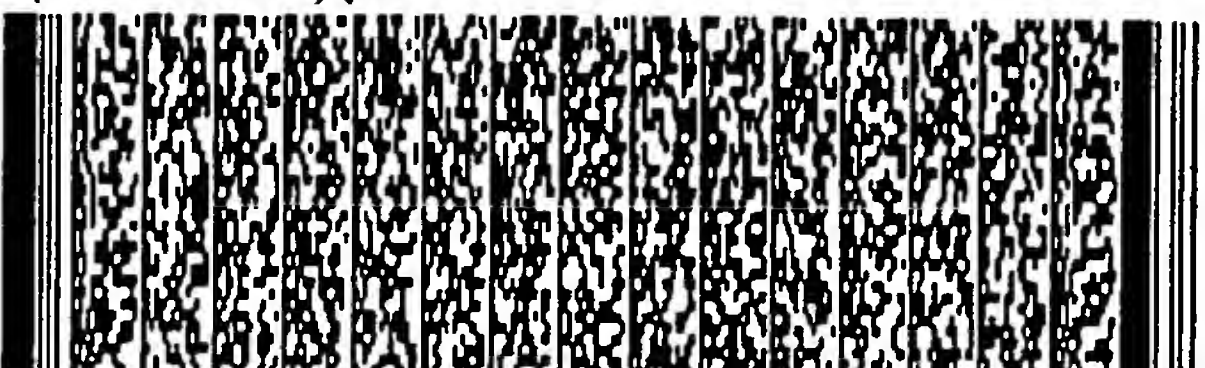
第 17/31 頁



第 18/31 頁



第 18/31 頁

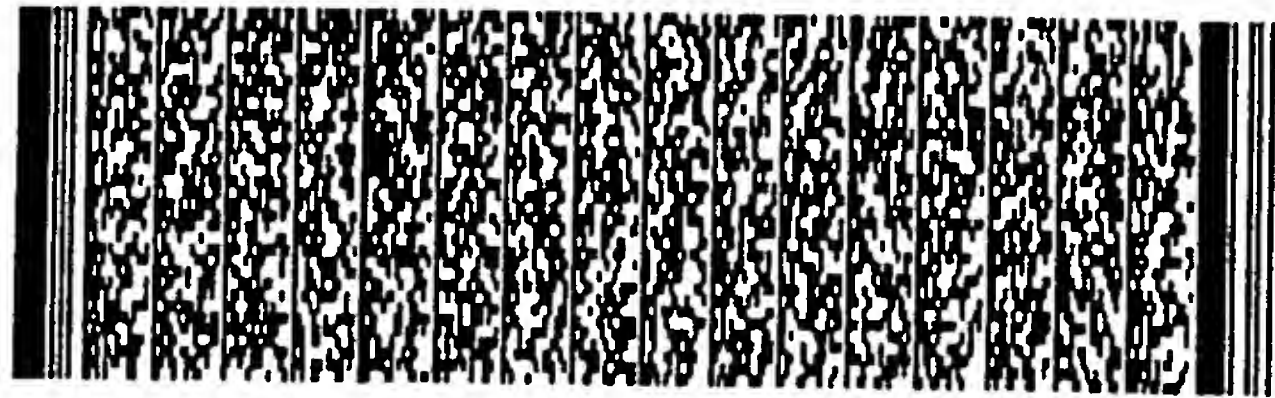








第 30/31 頁



第 31/31 頁

